

## 明 細 書

### 半導体装置及び半導体装置の製造方法

#### 技術分野

- [0001] 本発明はコンタクトホールの位置合わせが容易で、コンタクト抵抗の低いフィン型の電界効果型トランジスタを有する半導体装置に関する。

#### 背景技術

- [0002] 従来、半導体領域からなる突起を有し、基板にほぼ垂直な平面(突起側面)に主たるチャネルを形成するフィン型のMIS型電界効果型トランジスタ(以下、「MISFET」という)が開発されてきた。フィン型のMISFETは、微細化に有利であることに加えて、カットオフ特性やキャリア移動度の向上、短チャネル効果やパンチスルーの低減といった種々の特性改善に有利であることが知られている。
- [0003] 特開昭64-8670号公報には、直方体状半導体の一部がシリコンウェハ基板の一部であるフィン型のMISFETと、直方体状半導体の一部がSOI基板の単結晶シリコン層の一部であるフィン型のMISFETが開示されている。前者の構造を図1(a)、後者の構造を図1(b)を用いて説明する。
- [0004] 図1(a)に示す形態では、シリコンウェハ基板101の一部が直方体状部分103となり、ゲート電極105がこの直方体状部分103の頂部を超えて両側に延在している。そして、この直方体状部分103において、ゲート電極下の絶縁膜104下の部分にチャネルが形成される。チャネル幅は直方体状部分103の高さ $h$ の2倍に相当し、ゲート長はゲート電極105の幅 $L$ に対応する。また、ゲート電極105はこの溝内に形成した絶縁膜102上に、直方体状部分103を跨ぐように設けられている。
- [0005] 図1(b)に示す形態では、シリコンウェハ基板111、絶縁膜112及びシリコン単結晶層からなるSOI基板を用意し、そのシリコン単結晶層をパターニングして直方体状部分113とし、そして、この直方体状部分113を跨ぐように、露出した絶縁層112上にゲート電極115を設けている。この直方体状部分113において、ゲート電極両側の部分にソース領域及びド레인領域が形成され、ゲート電極下の絶縁膜114下の部分(突起113の上面及び側面)にチャネルが形成される。チャネル幅は直方体状半導体

領域113の高さaの2倍とその幅bとの合計に相当し、ゲート長はゲート電極115の幅Lに対応する。

[0006] 一方、特開2002-118255号公報には例えば図2(a)〜(c)に示すような、複数の直方体状半導体凸部(凸状半導体層213)を有するマルチ構造のフィン型のMOSFETが開示されている。図2(b)は図2(a)のB-B線断面図であり、図2(c)は図2(a)のC-C線断面図である。このフィン型のMOSFETは、シリコン基板210のウェル層211の一部で構成される凸状半導体層213を複数有し、これらが互いに平行に配列され、これらの凸状半導体層の中央部を跨いでゲート電極216が設けられている。このゲート電極216は、絶縁膜214の上面から各凸状半導体層213の側面に沿って形成されている。各凸状半導体層とゲート電極間には絶縁膜218が介在し、ゲート電極下の凸状半導体層にはチャネル215が形成される。また、各凸状半導体層にはそれぞれソース/ドレイン領域が形成され、ソース/ドレイン領域217下の領域212には高濃度不純物層(パンチスルーストップパー層)が設けられている。更に、層間絶縁膜226を介して上層配線229、230が設けられ、各コンタクトプラグ228により、各上層配線とそれぞれソース/ドレイン領域217及びゲート電極216とが接続されている。各ソース/ドレイン領域は共通のソース/ドレイン電極229に接続されている。

[0007] また、特開2001-298194号公報には例えば、図3(a)及び(b)に示すような、フィン型のMOSFETが開示されている。このフィン型のMOSFETは、シリコン基板301、絶縁層302及び半導体層(単結晶シリコン層)303からなるSOI基板を用いて形成され、その絶縁層302上にパターニングされた半導体層303が設けられている。この半導体層303には、複数の開口部310が一行に半導体層303を横断するように設けられている。これらの開口部310は、半導体層303のパターニングの際に、絶縁層302が露出するように形成されている。ゲート電極305は、これらの開口部310の中央部を跨いで開口部の配列方向に沿って形成される。開口部310間の各半導体層(伝導経路)332との間には絶縁膜が介在し、ゲート電極下の伝導経路にチャネルが形成される。伝導経路332の上面の絶縁膜が、側面の絶縁膜と同程度に薄いゲート絶縁膜である場合は、ゲート電極下の半導体層332の両面側及び上面にチャネルが形成される。半導体層303において、開口部310の列の両側がソース/ドレイン領

域304を構成している。各伝導経路に導通されたソース／ドレイン領域304は共通化され全体として一対のソース／ドレイン領域304を形成している。

#### 発明の開示

- [0008] 従来から、コンタクト抵抗の低減を目的として、ソース／ドレイン領域上にシリサイド膜を設けたMISFETが提案されており、この場合、シリサイド膜の形成はスパッタリングによって行われている。しかしながら、特許文献1〜3記載のフィン型のMISFETでは、ソース／ドレイン領域が略直方体状であり、ソース／ドレイン領域の側面が基板と主に垂直に形成されているため、スパッタリングによって該側面上にシリサイド膜の形成を行うことは困難であった。また、CVD法等を使用して、該側面上にシリサイド膜の形成を行うと、ファセット形成等の異常成長が起こったり、ソース／ドレイン領域が全てシリサイドとなる場合があった。このため、シリサイド形成によるコンタクト抵抗の低減を有効に図れない場合があった。また、近年、半導体装置の高集積化に伴いMISFETの微細化が進んでおり、MISFETのソース／ドレイン領域へのコンタクトホール位置合わせが困難となってきた。
- [0009] 本発明は以上のような状況に鑑みてなされたものであり、フィン型のMISFETを有する半導体装置において、ソース／ドレイン領域の幅がチャネルが形成される突起状の半導体領域の幅よりも大きく、かつソース／ドレイン領域が最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部又は断面積が連続的に増加している凹凸部を有することを特徴とする。本発明の半導体装置は、傾斜部又は凹凸部を有することによって、従来のフィン型のMISFETよりも広い面積にシリサイド膜の形成が可能となる。
- [0010] 本発明は、上記構成を有することによってソース／ドレイン領域上へのコンタクトホール形成時の位置合わせを容易にし、ソース／ドレイン領域の寄生抵抗を低減することによってコンタクト抵抗の低減を図ることを目的とする。また、そのような半導体装置の製造方法を提供することを目的とする。
- [0011] 上記課題を解決するため、本発明は以下の構成を有する。すなわち、本発明は、基体上に設けられた突起状の半導体領域と、該半導体領域を挟んで形成された突起状のソース／ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に

設けられたゲート電極とを備えた半導体装置であって、

該ソース／ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置に関する。

[0012] 本発明は、基体上に設けられた複数の突起状の半導体領域と、該半導体領域を挟んで形成された複数のソース／ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に設けられたゲート電極とを備え、

該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、

前記ソース／ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置に関する。

[0013] 本発明は、基体上に設けられた複数の突起状の半導体領域と、該複数の半導体領域を挟んで該複数の半導体領域に共通して形成された一対の突起状のソース／ドレイン領域と、絶縁膜を介して前記複数の半導体領域の少なくとも側面上に設けられたゲート電極とを備え、

該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、

前記ソース／ドレイン領域が、最上部側から基体側に向かって断面積が連続的に増加している凹凸部を有し、該凹凸部表面にシリサイド膜が形成されていることを特徴とする半導体装置に関する。

[0014] 本発明は更に、前記凹凸部が、前記複数の半導体領域の配列方向に向かって該複数の半導体領域と等間隔で、該半導体領域と該凹凸部が並列となるように形成されていることが好ましい。

本発明は更に、前記ソース／ドレイン領域の最上部側が前記基体平面と平行な面であり、該面上にシリサイド膜が形成されていることが好ましい。

本発明は更に、前記ソース／ドレイン領域の全てが、表面にシリサイド膜を形成した傾斜部からなっていることが好ましい。

本発明は更に、前記ソース／ドレイン領域の傾斜部の幅が、最上部側から基体側に向かって一定割合で大きくなっていることが好ましい。

本発明は更に、前記凹凸部の断面積が、最上部側から基体側に向かって一定割合で大きくなっていることが好ましい。

[0015] 本発明は、側面にチャンネルを形成する突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a)ゲート電極を形成した突起状の半導体領域を挟んで設けられた突起状のソース／ドレイン領域を選択エピタキシャル成長させ、該ソース／ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を設ける工程と、(b)該傾斜部の表面上にシリサイド膜を設ける工程とを有することを特徴とする半導体装置の製造方法に関する。

[0016] 本発明は、側面にチャンネルを形成する複数の突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a)複数の突起状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領域を挟んで設けられた複数の突起状のソース／ドレイン領域を選択エピタキシャル成長させ、該ソース／ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を形成する工程と、(b)該傾斜部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法に関する。

[0017] 本発明は、側面にチャンネルを形成する複数の突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a)複数の突起状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領域を挟んで設けられた複数の突起状のソース／ドレイン領域を隣接するソース／ドレ

イン領域が接するまで選択エピタキシャル成長させ、該選択エピタキシャル成長時に該ソース／ドレイン領域が最上部側から基体側に向かって断面積が連続的に増加している凹凸部を形成する工程と、(b)該凹凸部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法に関する。

[0018] 本発明は更に、前記傾斜部が、前記ソース／ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶面で形成されるように選択エピタキシャル成長をさせることが好ましい。本発明は更に、前記凹凸部が、前記ソース／ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶面で形成されるように選択エピタキシャル成長をさせることが好ましい。

[0019] 本発明は更に、前記傾斜部が、前記ソース／ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からなるように選択エピタキシャル成長をさせることが好ましい。本発明は更に、前記凹凸部が、前記ソース／ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からなるように選択エピタキシャル成長をさせることが好ましい。

[0020] 本発明は、側面にチャンネルを形成する突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、  
(a)突起状の半導体領域上にゲート電極を形成した後、該半導体領域を挟んで該半導体領域の幅よりも大きな幅を有するように設けられた突起状のソース／ドレイン領域をエッチングし、該ソース／ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を設ける工程と、(b)該傾斜部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法に関する。

[0021] 本発明は、側面にチャンネルを形成する複数の突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、  
(a)複数の突起状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を挟んで一対の突起状のソース／ドレイン領域を設けた後、該ソース／ドレイン領域上

の半導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有するマスク膜を設ける工程と、(b)該マスク膜をマスクとしてエッチングを行うことにより該一对のソース／ドレイン領域を該複数の半導体領域を挟んで互いに離間した複数のソース／ドレイン領域とし、該エッチング時に該ソース／ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を設ける工程と、(c)該傾斜部上にシリサイド膜を形成する工程と、を有することを特徴とする半導体装置の製造方法に関する。

[0022] 本発明は、側面にチャネルを形成する複数の突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、

(a)複数の突起状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を挟んで一对の突起状のソース／ドレイン領域を設けた後、該ソース／ドレイン領域上の該半導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有するマスク膜を設ける工程と、(b)該マスク膜をマスクとしてエッチングを行い、該ソース／ドレイン領域が最上部側から基体側に向かって断面積が連続的に増加している凹凸部を設ける工程と、(c)該凹凸部上にシリサイド膜を形成する工程と、を有することを特徴とする半導体装置の製造方法に関する。

[0023] 本発明は更に、前記エッチングが、ウェットエッチング法であることが好ましい。

本発明は更に、前記基体が絶縁膜層であり、前記突起状の半導体領域及び前記突起状のソース／ドレイン領域は該絶縁膜層上に形成されていることが好ましい。

本発明は更に、前記基体が層間絶縁膜であり、

前記突起状の半導体領域及び前記突起状のソース／ドレイン領域は、該層間絶縁膜の下部に設けられた半導体層の一部が該層間絶縁膜を貫通して、該層間絶縁膜よりも上方に突出したものであることが好ましい。

本発明の半導体装置は更に、上面に主たるチャネルが形成される半導体領域と、せり上げ部を有するソース／ドレイン領域と、を有するプレーナ型の電界効果トランジスタを備えることが好ましい。

[0024] 本発明によれば、フィン型MISFETを備えた半導体装置であって、ソース／ドレイ

ン領域に傾斜部又は凹凸部を有することによって、コンタクト抵抗を低減し、コンタクトホールとの位置合わせを容易とした半導体装置及びその製造方法を提供できる。

本発明ではソース／ドレイン領域の全ての表面にシリサイド膜を形成した傾斜部又は凹凸部を設けることによって、広い面積にシリサイド膜を形成することが可能となる。

その結果、コンタクトホールとの位置合わせがより容易となり、より効果的に寄生抵抗の低減を図ることができる。

本発明ではソース／ドレイン領域の最上部側に基体平面と平行な面を有することによって、より厚いシリサイド膜を設けることができ、より効果的に寄生抵抗の低減を図ることができる。

また、本発明ではマルチ構造のMISFETにおいて、傾斜部又は凹凸部を有するソース／ドレイン領域を設けることによって広い面積にシリサイド膜を形成でき、シングル構造のMISFETよりもコンタクトホールとの位置合わせが容易となる。

#### 図面の簡単な説明

[0025] [図1]図1(a)は、従来のシングル構造のフィン型のMISFETの説明図である。図1(b)は、従来のシングル構造のフィン型のMISFETの説明図である。

[図2]図2(a)は、従来のマルチ構造のフィン型のMISFETの説明図である。図2(b)は、従来のマルチ構造のフィン型のMISFETの説明図である。図2(c)は、従来のマルチ構造のフィン型のMISFETの説明図である。

[図3]図3(a)は、従来のマルチ構造のフィン型のMISFETの説明図である。図3(b)は、従来のマルチ構造のフィン型のMISFETの説明図である。

[図4]図4(a)は、本発明の半導体装置の一例の説明図である。図4(b)は、本発明の半導体装置の一例の説明図である。

[図5]図5(a)は、本発明の半導体装置の一例の説明図である。図5(b)は、本発明の半導体装置の一例の説明図である。図5(c)は、本発明の半導体装置の一例の説明図である。

[図6]図6(a)は、本発明の半導体装置の一例の説明図である。図6(b)は、本発明の半導体装置の一例の説明図である。図6(c)は、本発明の半導体装置の一例の説明図である。図6(d)は、本発明の半導体装置の一例の説明図である。図6(e)は、本



発明の半導体装置の一例の説明図である。図6(f)は、本発明の半導体装置の一例の説明図である。

[図7]図7(a)は、本発明の半導体装置の一例の説明図である。図7(b)は、本発明の半導体装置の一例の説明図である。図7(c)は、本発明の半導体装置の一例の説明図である。図7(d)は、本発明の半導体装置の一例の説明図である。

[図8]図8(a)は、本発明の半導体装置の一例の説明図である。図8(b)は、本発明の半導体装置の一例の説明図である。図8(c)は、本発明の半導体装置の一例の説明図である。図8(d)は、本発明の半導体装置の一例の説明図である。

[図9]図9(a)は、本発明の半導体装置の一例の説明図である。図9(b)は、本発明の半導体装置の一例の説明図である。図9(c)は、本発明の半導体装置の一例の説明図である。

[図10]図10(a)は、本発明の半導体装置の一例の説明図である。図10(b)は、本発明の半導体装置の一例の説明図である。図10(c)は、本発明の半導体装置の一例の説明図である。

[図11]図11(a)は、本発明の半導体装置の製造方法の説明図である。図11(b)は、本発明の半導体装置の製造方法の説明図である。図11(c)は、本発明の半導体装置の製造方法の説明図である。図11(d)は、本発明の半導体装置の製造方法の説明図である。図11(e)は、本発明の半導体装置の製造方法の説明図である。図11(f)は、本発明の半導体装置の製造方法の説明図である。

[図12]図12(a)は、本発明の半導体装置の製造方法の説明図である。図12(b)は、本発明の半導体装置の製造方法の説明図である。図12(c)は、本発明の半導体装置の製造方法の説明図である。図12(d)は、本発明の半導体装置の製造方法の説明図である。

[図13]図13(a)は、本発明の半導体装置の製造方法の説明図である。図13(b)は、本発明の半導体装置の製造方法の説明図である。図13(c)は、本発明の半導体装置の製造方法の説明図である。図13(d)は、本発明の半導体装置の製造方法の説明図である。

[図14]図14(a)は、本発明の半導体装置の製造方法の説明図である。図14(b)は、

本発明の半導体装置の製造方法の説明図である。図14(c)は、本発明の半導体装置の製造方法の説明図である。図14(d)は、本発明の半導体装置の製造方法の説明図である。

[図15]図15(a)は、本発明の半導体装置の製造方法の説明図である。図15(b)は、本発明の半導体装置の製造方法の説明図である。図15(c)は、本発明の半導体装置の製造方法の説明図である。図15(d)は、本発明の半導体装置の製造方法の説明図である。図15(e)は、本発明の半導体装置の製造方法の説明図である。図15(f)は、本発明の半導体装置の製造方法の説明図である。図15(g)は、本発明の半導体装置の製造方法の説明図である。図15(h)は、本発明の半導体装置の製造方法の説明図である。

[図16]図16(a)は、本発明の半導体装置の製造方法の説明図である。図16(b)は、本発明の半導体装置の製造方法の説明図である。図16(c)は、本発明の半導体装置の製造方法の説明図である。図16(d)は、本発明の半導体装置の製造方法の説明図である。図16(e)は、本発明の半導体装置の製造方法の説明図である。図16(f)は、本発明の半導体装置の製造方法の説明図である。図16(g)は、本発明の半導体装置の製造方法の説明図である。

[図17]図17(a)は、本発明の半導体装置の製造方法の説明図である。図17(b)は、本発明の半導体装置の製造方法の説明図である。図17(c)は、本発明の半導体装置の製造方法の説明図である。図17(d)は、本発明の半導体装置の製造方法の説明図である。

[図18]図18(a)は、本発明の半導体装置の製造方法の説明図である。図18(b)は、本発明の半導体装置の製造方法の説明図である。図18(c)は、本発明の半導体装置の製造方法の説明図である。図18(d)は、本発明の半導体装置の製造方法の説明図である。

[図19]図19(a)は、本発明の半導体装置の製造方法の説明図である。図19(b)は、本発明の半導体装置の製造方法の説明図である。図19(c)は、本発明の半導体装置の製造方法の説明図である。図19(d)は、本発明の半導体装置の製造方法の説明図である。図19(e)は、本発明の半導体装置の製造方法の説明図である。図19(f)

)は、本発明の半導体装置の製造方法の説明図である。図19(g)は、本発明の半導体装置の製造方法の説明図である。図19(h)は、本発明の半導体装置の製造方法の説明図である。

[図20]図20(a)は、本発明の半導体装置の製造方法の説明図である。図20(b)は、本発明の半導体装置の製造方法の説明図である。

[図21]図21(a)は、本発明の半導体装置の製造方法の説明図である。図21(b)は、本発明の半導体装置の製造方法の説明図である。図21(c)は、本発明の半導体装置の製造方法の説明図である。

[図22]図22(a)は、本発明の半導体装置の説明図である。図22(b)は、本発明の半導体装置の説明図である。図22(c)は、本発明の半導体装置の説明図である。図22(d)は、本発明の半導体装置の説明図である。

[図23]図23(a)は、本発明の半導体装置の説明図である。図23(b)は、本発明の半導体装置の説明図である。図23(c)は、本発明の半導体装置の説明図である。図23(d)は、本発明の半導体装置の説明図である。

[図24]図24(a)は、本発明の半導体装置の製造方法の説明図である。図24(b)は、本発明の半導体装置の製造方法の説明図である。図24(c)は、本発明の半導体装置の製造方法の説明図である。

[図25]図25(a)は、本発明の半導体装置の製造方法の説明図である。図25(b)は、本発明の半導体装置の製造方法の説明図である。図25(c)は、本発明の半導体装置の製造方法の説明図である。

発明を実施するための最良の形態

[0026] (半導体装置)

本発明に係る半導体装置を図4を用いて説明する。図4(b)は、本発明の半導体装置の一例を示したものである。図4(a)は、図4(b)の半導体装置に含まれるソース／ドレイン領域とチャネルが形成される突起状の半導体領域を表したものである。本発明の半導体装置は、突起状の半導体領域403と、これを挟むように形成された突起状のソース／ドレイン領域406を有する。突起状の半導体領域403の側面上にはゲート絶縁膜を介してゲート電極405が設けられている。また、ソース／ドレイン領域40

6上にはシリサイド膜409が設けられている。

[0027] 突起状の半導体領域403は、基体平面(基板に平行な任意の面)に平行な上面410と基体平面に垂直な側面407を有する。側面407にはチャンネルが形成され、チャンネル電流が矢印404の方向に流れる。突起状の半導体領域は、加工精度や所望の素子特性が得られる範囲内で、直方体や直方体から変形した形状であっても良い。本発明のMISFETのソース/ドレイン領域406の幅は、チャンネルが形成される突起状の半導体領域403の幅よりも大きく、かつ該ソース/ドレイン領域は最上部側から基体側に向かって連続的に幅が大きくなる傾斜部を有する。ここで、「最上部側から基体側に向かって」とは、ソース/ドレイン領域の最上部側412から基体側413に向かう方向411を表し、これは基体(絶縁膜)402の法線の下方向に相当する。このため、本発明のフィン型のMISFETは、従来のフィン型のMISFETと比べてソース/ドレイン領域上のより広い面積にシリサイド膜を設けることができる。この結果、コンタクト抵抗の低減に加えて、ソース/ドレイン領域上へのコンタクトホールとの位置合わせが容易になると共にMISFETの寄生抵抗を小さくすることができる。なお、突起状の半導体領域の幅とは、突起状の半導体領域403のチャンネル電流が流れる方向404に垂直でかつ基体平面(絶縁膜)402に平行な方向の幅を指す(図4(a)のa)。また、ソース/ドレイン領域の幅とは、ソース/ドレイン領域のチャンネル電流が流れる方向404に垂直でかつ基体平面(絶縁膜)402に平行な方向の幅を指す(図4のc)。

[0028] 本発明のMISFETは、突起状の半導体領域403の上面410に形成されるゲート絶縁膜を厚くして、その側面407にのみにチャンネルが形成されるダブルゲート型とすることができる。また、上面410に形成されるゲート絶縁膜を薄くして上面410にもチャンネルが形成されるトライゲート型とすることも可能である。

[0029] 図22及び23には、ゲート電極が様々な構造を有する本発明のMISFETの例を示す。図22及び23はそれぞれ図5(a)のB-B方向の断面図に相当する。図22はキャップ絶縁膜を有さない半導体装置、図23はキャップ絶縁膜を有する半導体装置の断面図を表す。

[0030] また、図22(a)及び23(a)は絶縁体1002上に半導体領域1003を設けた半導体装置の断面図を表す。図22(b)及び23(b)は、半導体領域1003の下端よりも下方

にゲート電極1005の下端が位置する構造を示す。この構造はギリシャ文字の「 $\pi$ 」に似ていることから「 $\pi$ ゲート構造」と呼ばれている。このように、ゲート電極が突起状の半導体領域より低い位置まで延在すると、ゲート電極によるチャンネルの制御が強化され、オンオフ遷移の急峻性(サブスレショルド特性)が向上し、オフ電流を抑制することができる。

[0031] 図22(c)及び23(c)は、半導体領域1003の下面側へ一部、ゲート電極1005が回り込んでいる構造(ゲート電極は突起状半導体領域の下面の一部を覆うように延在している構造)を示す。この構造は、ゲート電極がギリシャ文字の「 $\Omega$ 」に似ていることから「 $\Omega$ ゲート構造」と呼ばれている。この構造によれば、ゲート電極によるチャンネルの制御が更に強化され、半導体領域の下面もチャンネルとして利用できるため駆動能力を向上させることができる。

[0032] なお、図22(d)及び23(d)では、半導体領域1003の下面側へゲート電極1005が完全に回り込んでいる構造を示す。この構造は、ゲート下部分において半導体領域が基体平面に対して空中に浮いた状態となり、「ゲート・オール・アラウンド(GAA)構造」と呼ばれている。この構造によれば、半導体領域の下面もチャンネルとして利用できるため、駆動能力を向上することができ、短チャンネル特性も向上することができる。

[0033] また、図22及び23では半導体領域の上部コーナーが丸められていても良い。

[0034] ゲート電極の材料としては、所望の導電率及び仕事関数を持つ導電体を用いることができ、例えば、不純物が導入された多結晶シリコン、多結晶SiGe、多結晶Ge、多結晶SiC等の不純物導入半導体、Mo、W、Ta、Ti、Hf、Re、Ru等の金属、TiN、Ta<sub>2</sub>N、HfN、WN等の金属窒化物、コバルトシリサイド、ニッケルシリサイド、白金シリサイド、エルビウムシリサイド等のシリサイド化合物が挙げられる。また、ゲート電極の構造は、単結晶膜の他、半導体と金属膜との積層膜、金属膜同士の積層膜、半導体とシリサイド膜との積層膜等の積層構造を用いることができる。

[0035] ゲート絶縁膜としては、SiO<sub>2</sub>膜、SiON膜を用いることができる他、いわゆる高誘電体絶縁膜(High-K膜)を用いてもよい。High-K膜としては、例えば、Ta<sub>2</sub>O<sub>5</sub>膜、Al<sub>2</sub>O<sub>3</sub>膜、La<sub>2</sub>O<sub>3</sub>膜、HfO<sub>2</sub>膜、ZrO<sub>2</sub>膜等の金属酸化物、HfSiO<sub>4</sub>、ZrSiO<sub>4</sub>、HfAlO<sub>3</sub>、ZrAlO<sub>3</sub>等の組成式で示される複合金属酸化物を挙げることができる。また、ゲート絶縁

膜は積層構造を有していてもよく、例えば、シリコン等の半導体層に $\text{SiO}_2$ や $\text{HfSiO}_2$ 等のシリコン含有酸化膜を形成し、その上にHigh-K膜を設けた積層膜を挙げることができる。

[0036] 本発明におけるフィン型のMISFETの半導体領域とソース／ドレイン領域は、基体平面に対して突出した構造を有するものである。本発明の半導体装置はSOI基板を用いて形成されても良い。この場合、図4(b)のように基体はSOI基板の絶縁膜層であり、突起状の半導体領域及び突起状のソース／ドレイン領域はSOI基板のシリコン層から形成される。

[0037] 絶縁膜としては $\text{SiO}_2$ を用いることができるが、例えば、SOS(シリコン・オン・サファイア、シリコン・オン・スピネル)のように、半導体領域下の絶縁体自体が支持基板となる構造を用いることができる。絶縁性の支持基板としては、上記SOSの他、石英や $\text{AlN}$ 基板が挙げられる。SOIの製造技術(貼り合わせ工程および薄膜化工程)によってこれらの支持基板上に半導体領域を設けることができる。

[0038] 本発明の半導体装置はバルク基板を用いて形成されても良い。すなわち、この半導体装置では半導体層上に層間絶縁膜が設けられ、半導体層の一部が層間絶縁膜を貫通しこれより上方に突出して突起状の半導体領域及び突起状のソース／ドレイン領域を構成している。図24はバルク基板を用いた半導体装置の一例を示したものである。図24(a)は半導体層1011の一部が層間絶縁膜1012を貫通しこれより上方に突出して突起状の半導体領域1013を構成している状態を表した図である。図24(b)、(c)はこの突起状の半導体領域1013を選択エピタキシャル成長させた状態を表した図であり、図24(b)は断面(図5(a)のA-A方向に相当する断面)が湾曲形状のソース／ドレイン領域を有する半導体装置、図24(c)は断面がテーパ形状のソース／ドレイン領域を有する半導体装置を表したものである。このように断面が湾曲形状となるか、テーパ形状となるかは選択エピタキシャル成長の条件による。

[0039] 本発明におけるフィン型のMISFETは、突起状の半導体領域の両側面に主たるチャネルが形成されるものが好ましく、また、そのゲート電極下の突起状の半導体領域の幅Wが、動作時に突起状の半導体領域の両側面からそれぞれ形成される空乏層により完全に空乏化される幅であることが好ましい。

- [0040] 具体的には、ゲート電極下の突起状の半導体領域の幅Wは、加工精度や強度等の観点から、5nm以上に設定することが好ましく、10nm以上に設定することがより好ましい。一方、突起状の半導体領域の側面に形成されるチャネルを支配的なチャネルとし且つ完全空乏型の構造を得る観点から、60nm以下に設定することが好ましく、30nm以上に設定することがより好ましい。
- [0041] 本発明における突起状の半導体領域を有するフィン型のMISFETの具体的寸法等は、例えば次の範囲で適宜設定することができる。
- [0042] 突起状の半導体領域の幅W:5〜100nm、  
突起状の半導体領域の高さH:20〜200nm、  
ゲート長L:10〜100nm、  
ゲート絶縁膜の厚さ:1〜5nm( $\text{SiO}_2$ の場合)、  
チャネル形成領域の不純物濃度: $0 \sim 1 \times 10^{19} \text{cm}^{-3}$ 、  
ソース/ドレイン領域の不純物濃度: $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ 。
- [0043] なお、突起状の半導体領域の高さHは、ベース絶縁膜平面から突出した半導体部分の基板平面に垂直方向の長さを指す。また、チャネル形成領域は、突起状の半導体領域のゲート電極下の部分を指す。
- [0044] シリサイド膜はTi、Co、Ni、Pt、Pd、Mo、W、Zr、Hf、Ta、Ir、Al、V及びCrからなる群から選択された少なくとも一種を有することが好ましい。シリサイド膜がこれらの元素を有することによって、良好な導電性を有し寄生抵抗を低減することができる。シリサイド膜の厚さは、10〜50nmであることが好ましい。厚さが10nm以上であると、寄生抵抗を効果的に低減することができる。また、50nm以下であるとアニール処理時にシリサイド化反応が進みすぎ、ソース/ドレイン領域の素子特性を損なうといったような問題も起こらない。
- [0045] (第一の実施形態)  
本発明の第一の実施形態は、シングル構造のフィン型のMISFETを有する半導体装置に関するものである。シングル構造のMISFETは一つのトランジスタ内に一つの突起状の半導体領域と一対のソース/ドレイン領域を有する。
- [0046] 本実施形態のソース/ドレイン領域の形状は、少なくともその幅が最も大きい部分

ではソース／ドレイン領域の幅がチャンネルが形成される突起状の半導体領域の幅よりも大きく、かつソース／ドレイン領域が最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を有していれば良く、傾斜部の形状としては様々なものを挙げることができる。

[0047] ソース／ドレイン領域の傾斜部は例えば、最上部側から基体側に向かって幅が大きくなる割合が一定ではない湾曲形状や、幅が大きくなる割合が一定であるテーパ形状であっても良い。

[0048] 図5(a)は、ソース／ドレイン領域がテーパ形状を有するMISFETを備えた半導体装置の上面図である。図5(b)は図5(a)の半導体装置のA-A方向の断面図であり、図5(c)は図5(a)の半導体装置のB-B方向の断面図である。ゲート電極501直下の半導体領域506は突起状(典型的には、直方体状)であり、幅aを有する。このMISFETでは突起状の半導体領域506の上面514には厚いゲート絶縁膜505が設けられており、突起状の半導体領域506の側面515にチャンネルが形成される。また、図5(b)中の点線領域は突起状の半導体領域506の、基体(絶縁膜)509の平面と垂直な方向での断面形状と同一スケールの形状を表す。この半導体装置では、突起状の半導体領域506の幅aよりもソース／ドレイン領域の幅cの方が大きく、かつソース／ドレイン領域の最上部側521から基体(絶縁膜)509の側に向かって(矢印511の方向に)幅cは大きくなっている。図5(b)の場合では、ソース／ドレイン領域の幅が矢印511の方向に向かって一定割合で大きくなるテーパ形状を形成している。テーパ形状510及び上面520にはシリサイド膜504が形成されている。

[0049] 図6〜8は図5の半導体装置の変形例を表したものであり、ソース／ドレイン領域の断面形状のみを表している。図6〜8では、図5(a)のA-A線に相当する方向でのソース／ドレイン領域の断面形状を表したものである。

[0050] 図6はソース／ドレイン領域が湾曲形状を有する場合を表したものである。図6(a)及び(b)ではソース／ドレイン領域の断面が楕円状であり、楕円の長軸が基体(絶縁膜)509の法線方向と一致している。図6(c)及び(d)ではソース／ドレイン領域の断面が楕円状であり、楕円の短軸が基体509の法線方向と一致している。また、図6(e)及び(f)ではソース／ドレイン領域の断面が真円状である。このように、ソース／ドレ



イン領域は様々な形状の湾曲形状を有することができる。また、図6(a)、(c)及び(e)では、ソース/ドレイン領域の全ての部分でソース/ドレイン領域の幅が、最上部側から基体側に向かって(矢印511の方向に)大きくなっている。この場合、ソース/ドレイン領域上の全ての部分にシリサイド膜の形成が可能なため、コンタクトホールとの位置合わせが容易となり、より効果的に寄生抵抗の低減を図ることができる。図6(b)、(d)及び(f)ではソース/ドレイン領域の上部側において、ソース/ドレイン領域の幅が最上部側から基体側に向かって(矢印511の方向に)大きくなる湾曲形状を有しており、更に基体側に近づくとも幅が小さくなっている。このような形状でも上部の湾曲の形状の部分にシリサイド膜504の形成が可能となる。また、ソース/ドレイン領域は凸形状だけでなく、凹形状であっても良い。

[0051] 図7は図6の変形例を示したものである。図7(a)ではソース/ドレイン領域の上面520が基体509の平面と平行な面を形成し、その両側に湾曲形状516を有する。図7(b)ではソース/ドレイン領域の一部に湾曲形状516を有し、その両側にテーパ形状510を有する。図7(c)ではソース/ドレイン領域が三つの湾曲形状516を有する。また、図7(d)ではソース/ドレイン領域が湾曲形状516及び基板に垂直な側面513を有する。このようにソース/ドレイン領域は、複数種の異なる湾曲形状を有していても良い。また、複数の種類の湾曲形状とテーパ形状を有していても良く、更にソース/ドレイン領域の一部に基体と平行な面、基体に垂直な面を有していても良い。図7ではテーパ形状510、上面520、湾曲形状516上にシリサイド膜504が形成されている。

[0052] 図8では、ソース/ドレイン領域が最上部側から基体側に向かって(矢印511の方向に)、その幅が一定割合で大きくなるテーパ形状を有する場合を表したものである。

[0053] 図8(a)ではソース/ドレイン領域が傾斜角度の緩やかなテーパ形状510を有する。図8(b)ではソース/ドレイン領域が傾斜角度が急なテーパ形状510を有する。傾斜角度は $10^{\circ}$ 〜 $80^{\circ}$ であることが好ましく、 $20^{\circ}$ 〜 $60^{\circ}$ であることがより好ましく、 $40^{\circ}$ 〜 $50^{\circ}$ であることが更に好ましい。傾斜角度が小さいとき、スパッタリングによってシリサイド膜を厚く形成することができる。一方、傾斜角度が大きいとき、ソース/ドレイン

ン領域が基体上に占める面積を小さくできる。このため、テーパ形状の傾斜角度がこれらの範囲内にあるとき、コンタクト抵抗と素子の平面的面積の点から半導体装置の最適化を図ることができる。ここで、傾斜角度とは、基体(絶縁膜)509の平面を基準とした角度を表し、90°以下の角度で定義する。例えば、傾斜角度が25°、54°、7°またはこれら2種類の傾斜角度を有するテーパ形状が挙げられる。図8(c)ではソース/ドレイン領域が傾斜角度の異なる複数の種類のテーパ形状510を有する。また、図8(d)ではソース/ドレイン領域がテーパ形状510及び基体に垂直な側面513を有する。図8ではテーパ形状510及び上面520にシリサイド膜504が形成されている。

[0054] 図8に示されるようにソース/ドレイン領域は、基体と平行な上面520を有しても良い。このように、基体平面と平行な面ではスパッタリング時にシリサイド膜を厚く形成することができ、寄生抵抗の低減を図ることができる。尚、上部の基体と平行な面の幅は、突起状の半導体領域の幅よりも小さくなっていても良い。

[0055] また、図8に示されるようにソース/ドレイン領域は、傾斜角度の異なる複数の種類のテーパ形状を有していても良い。また、複数の種類の凹形状の湾曲形状と凸形状の湾曲形状を有していても良い。更に、ソース/ドレイン領域の一部に基体と平行な面、基体に垂直な面を有していても良い。

[0056] 本発明のMISFETのソース/ドレイン領域は、突起状の半導体領域の側面に平行な所定の面に関して対称な形状を有していなくても良い。例えば、この所定の面で二分割したソース/ドレイン領域のうち、一方のソース/ドレイン領域が図6で示されるような湾曲形状を有しており、他方のソース/ドレイン領域が図8で示されるようなテーパ形状を有していても良い。

[0057] また、本発明の半導体装置はソース/ドレイン領域の最上部側から基体側に向かって幅が増加することを特徴とし、この幅とは、ソース/ドレイン領域中の基体(絶縁膜)509の平面に垂直かつチャネル電流が流れる方向に垂直な所定の断面での幅を規定している。幅は、ソース/ドレイン領域中の何れかの断面において最上部側から基体側に向かって増加していれば良い。また、ソース/ドレイン領域の異なる位置での断面形状は、同一であっても良いし、異なっても良い。例えば、図20(a)の

ように第一の断面804では、上記のような幅が最上部側から基体側に向かって増加する形状を有し、第二の断面805では断面形状が長方形状であっても良い。

[0058] (第二の実施形態)

本発明の第二の実施形態は、マルチ構造のMISFETを有する半導体装置に関するものである。マルチ構造のMISFETは、一つのトランジスタ内に複数の突起状の半導体領域をチャネル電流が流れる方向と垂直な方向に一系列に並行配列し、これら複数の突起状の半導体領域に跨がって設けられた導体配線でゲート電極501が構成されたものである。

[0059] 図9(a)及び図10(a)はMISFETを有する半導体装置の上面図である。図9(b)及び図10(b)は、それぞれ図9(a)及び図10(a)の半導体装置のB-B方向の断面図である。また、図9(c)及び図10(c)は、それぞれ図9(a)及び図10(a)の半導体装置のA-A方向の断面図である。

[0060] 図9のMISFETでは、複数の(図では二つのみを示す)突起状の半導体領域506がチャネル電流が流れる方向と垂直な方向517に設けられ、これら複数の突起状の半導体領域506をそれぞれ挟むように複数の対(図では二対のみを示す)のソース/ドレイン領域503が設けられている。各ソース/ドレイン領域はテーパ形状510を有する。

[0061] 図10のMISFETでは、図9と同様に複数の(図では二つのみを示す)突起状の半導体領域506が一系列に設けられており、これら突起状の半導体領域506を挟むように形成されたソース/ドレイン領域503は共通化されており、一つのMISFET中に一对のソース/ドレイン領域503が形成されている。ソース/ドレイン領域503は凸部519を複数、有している。各凸部519はソース/ドレイン領域の最上部側から基体側に向かって(矢印511の方向に)断面積が増加している。ここで断面積とは基体(絶縁膜)509の平面に平行な所定の面でのソース/ドレイン領域の断面積を表す。図10では、ソース/ドレイン領域503中の複数の凸部519が、半導体領域506の配列方向517に向かって、該半導体領域506と等間隔で形成され、かつ半導体領域506の配列方向から見て一つの凸部519と一つの半導体領域506が並列となるように形成されている。ソース/ドレイン領域中の各凹凸部519はシングル構造のMISFE

Tのソース/ドレイン領域のテーパ形状510に相当する形状を有している。

[0062] 図9のように各突起状の半導体領域ごとにその両側に、個別の離間したソース/ドレイン領域が設けられたマルチ構造のMISFETであっても、各ソース/ドレイン領域はシングル型のMISFETと同様の形状を有することができる。また、図10のように突起状の半導体領域を挟むように形成されたソース/ドレイン領域が共通化されたマルチ構造のMISFETであっても、ソース/ドレイン領域を構成する凹凸部は、シングル型のMISFETに相当する形状を有することができる。各凹凸部は同一の形状を有していても、異なる形状を有していても良く、各凹凸部は、絶縁膜509上で接していても良い。

[0063] これらマルチ構造のMISFETのソース/ドレイン領域またはソース/ドレイン領域中の凹凸部は、それぞれ複数の種類の湾曲形状やテーパ形状を有していても良い。また、更にその一部に基体と平行な面、基体に垂直な面を有していても良い。

[0064] このようなマルチ構造のMISFETでは、一つの突起状の半導体領域当たり個別のソース/ドレイン領域を有するか、共通化された大きなソース/ドレイン領域を有し、広い表面積がシリサイド化されているため、MISFETの寄生抵抗が低減され、コンタクト抵抗が低減する。また、コンタクトホールソース/ドレイン領域上への位置合わせが容易となる。

[0065] マルチ構造のMISFETでは、基体平面に垂直な方向の側面をチャネル幅として用いる突起状の半導体領域を複数有するため、チャネル幅あたりの必要な平面的面積を小さくすることができ、素子の微細化に有利である。このマルチ構造は、チャネル幅の異なる複数種のトランジスタを1チップ内に形成する場合でも、突起状の半導体領域の数を変えることによりチャネル幅を制御することができる。これにより、突起状の半導体領域の高さを揃えて素子特性の均一性を確保することができる。素子特性の均一性や加工の容易さ等の観点から、一つのトランジスタの複数の凸状の半導体領域のゲート電極下部分の幅(基板平面に平行かつチャネル長方向に垂直な方向の幅)は互いに等しいことが好ましい。

[0066] (半導体装置の製造方法)

本発明に係る半導体装置の製造方法は、ソース/ドレイン領域を湾曲形状やテー

パー形状等の形状に加工するための工程を有する点に特徴がある。この代表的な方法として(1)選択エピタキシャル成長法、(2)エッチング法について詳細に述べる。

[0067] (1)選択エピタキシャル成長法

一例としてマルチ構造のフィン型のMISFETを含む半導体装置の製造工程を図11に示す。まず、貼り合わせ又はSIMOXによってシリコンウェハ基板601、 $\text{SiO}_2$ 酸化膜602及び単結晶シリコン膜603を有するSOI基板を用意する。次に、SOI基板の表面上に熱酸化法によって $\text{SiO}_2$ 膜604形成する。図11(a)はこの基板の断面図である。更に、この $\text{SiO}_2$ 膜604を介してチャネル形成領域のための不純物をイオン注入する。その後、エッチングによって $\text{SiO}_2$ 膜604除去する。

[0068] 続いて、単結晶シリコン膜603の全面にフォトリソグラフィを用いて、レジストマスク605を形成する。図11(b)はこの断面を表したものである。次に、このレジストマスク605をエッチングマスクとして、単結晶シリコン膜603を異方性ドライエッチングする。この後、レジストマスク605を除去し、 $\text{SiO}_2$ 膜602上に所定の高さの突起状の半導体領域606を形成する。この際、エッチングの条件によっては、突起状の半導体領域606の上面や側面は平らにならずに微細な突起等が形成される場合がある。例えば、図21(a)では半導体領域911と基体( $\text{SiO}_2$ 膜)907の境界上に微細な{111}面903が形成されている。この微細な面は選択エピタキシャル成長を行う際、ソース/ドレイン領域の形状に影響を与える場合がある。

[0069] 図11(c)は突起状の半導体領域の上面図である。また、図11(d)は図11(c)の突起状の半導体領域606のA-A方向の断面図である。次に、熱酸化法によって単結晶シリコンの突起状の半導体領域606の表面(側面)に薄い $\text{SiO}_2$ 膜(ゲート絶縁膜611)を形成する。更に、この $\text{SiO}_2$ 膜611上にCVD法によってポリシリコン膜を形成し、不純物拡散で導電性としてから、所定パターンに選択的エッチングを施してゲート電極607を形成する。図11(e)はこの半導体装置の上面図である。また、図11(f)は図11(e)の突起状の半導体領域606のA-A方向の断面図である。

[0070] 次にエクステンションイオン注入を行う。更に、CVD法によりシリコン酸化膜等を堆積した後、例えば、RIEによりエッチバックして、ゲートサイドウォール608を形成する

。図12(a)は、この半導体装置の上面図である。また、図12(b)は図12(a)のソース／ドレイン領域612のA-A方向の断面図である。この後、ソース／ドレイン領域612を選択エピタキシャル成長させる。なお、選択エピタキシャル成長を行う前のソース／ドレイン領域612とチャンネルが形成される突起状の半導体領域とでは断面が同一形状であっても良いし、異なる形状であっても良い。ここで、断面とは基体(絶縁膜)602に垂直な面で、かつチャンネル電流が流れる方向に垂直な方向の面を表す。

[0071] 図12(c)は、傾斜部が特定の結晶面を表面に有さないように、図12(a)のソース／ドレイン領域を選択エピタキシャル成長させた製造工程の一例を示したものである。なお、本明細書では「特定の結晶面」とは基体( $\text{SiO}_2$ 膜)602と平行でも垂直でもなく、傾斜部又は凹凸部表面において明確に認識できる面を表す。例えば、原料供給等の成長条件を変更することで、特定の結晶面を優先して成長させるのではなく、微細な多数の結晶面が競合して成長するようにすると、図12(c)のように、大きな結晶面が表面に現れず全体として湾曲形状からなるソース／ドレイン領域が形成される。図12(c)は半導体装置の上面図である。図12(c)では、選択エピタキシャル成長を短時間で終了しているため、隣接するソース／ドレイン領域は接しておらず、各突起状の半導体領域606の両側に、それぞれ個別にソース／ドレイン領域が設けられている。また、傾斜部は特定の結晶面を表面に有さず、湾曲形状を有する構造となる。また、図12(d)は図12(c)のソース／ドレイン領域612のA-A方向の断面図である。

[0072] 次に、この選択エピタキシャル成長を行ったソース／ドレイン領域612に不純物を注入する。このイオン注入は斜め方向又は垂直方向から行うことができる。本発明の半導体装置は基体と垂直な側面を有する従来のフィン型のMISFETと比べて、簡便にイオン注入を行うことができる。次に、ソース／ドレイン領域612上にスパッタリングによって金属層609を堆積する。図13(a)はこの半導体装置の上面図である。また、図13(b)は図13(a)のソース／ドレイン領域612のA-A方向の断面図である。本発明の製造方法ではソース／ドレイン領域612が湾曲形状やテーパ形状等を有するため、広い部分に金属層609を堆積することができる。金属としては、Ti、Co、Ni、Pt、Pd、Mo、W、Zr、Hf、Ta、Ir、Al、V及びCrからなる群から選択された少なくとも

一種であることが好ましい。次に、アニール処理を行うことによって金属がケイ素と反応し、安定なシリサイド610が形成される。この後、ウェットエッチングを行うことにより、未反応の金属層を除去する。図13(c)はウェットエッチング後の半導体装置の上面図である。また、図13(d)は図13(c)のソース/ドレイン領域612のA-A方向の断面図である。アニール処理の温度は金属層の種類に応じて所望の温度に設定することができる。例えば、金属層としてNiを用いた場合には400〜600℃であることが好ましく、Coを用いた場合には600〜800℃であることが好ましい。アニール処理は数段階に分けて行っても良く、アニール処理の間にウェットエッチングの工程を設けても良い。アニール処理後に形成されるシリサイド材料としては、TiSi、TiSi<sub>2</sub>、CoSi、CoSi<sub>2</sub>、NiSi、NiSi<sub>2</sub>及びNi<sub>2</sub>Siなどが挙げられる。

[0073] また、図12(a)のソース/ドレイン領域612を長時間、選択エピタキシャル成長させた製造工程の一例を示したものである。図14(a)は半導体装置の上面図である。図14(a)では、選択エピタキシャル成長を長時間、行っているため、複数の半導体領域を挟んで該複数の半導体領域に共通化された凹凸部を有するソース/ドレイン領域が設けられている。各凹凸部は特定の結晶面を表面に有していない。このため、図14(a)の例では、ソース/ドレイン領域612が湾曲形状を有する構造となっている。なお、図14(b)は図14(a)のソース/ドレイン領域612のA-A方向の断面図である。図14(c)は、図14(a)の半導体装置に不純物注入、金属層の堆積、アニール処理、未反応金属の除去を行い、最終的にソース/ドレイン領域612上にシリサイド膜610を設けた半導体装置の上面図である。図14(d)は図14(c)のソース/ドレイン領域612のA-A方向の断面図である。このようにソース/ドレイン領域が共通化された半導体装置とするために選択エピタキシャル成長を行うための時間は、温度、原料ガス流量など操作条件によって異なり、所望の条件に設定すれば良い。

[0074] 図15(a)は傾斜部が少なくとも特定の結晶面を表面に有するように、図12(a)の半導体装置を選択エピタキシャル成長させた製造工程の一例を図15に示す。図15(a)は、短時間、選択エピタキシャル成長を行った後の半導体装置の上面図である。図15(a)のソース/ドレイン領域では、ある特定の結晶面が優先的に成長し、その結果、テーパ形状となったものである。この例では図21(a)に示した微細な{111}面90

3が優先して成長したものである。特定の結晶面を優先的に成長させる場合は、図21(b)及び(c)のように傾斜部のソース/ド레인領域の幅方向901及び最上部側から基体側の方向902に平行で、かつ該最上部904と交わる断面909で見たときに、実質的に2つ(片側1つ)の結晶面910のみからなるように形成するか、又は図8(c)のように実質的に4つ(片側2つ)の面510からなるように形成するか、あるいは、最大8つ(片側4つ)程度の面のみからなるように形成させることが好ましい。更に好ましくは2つ(片側1つ)又は4つ(片側2つ)の面である。なお、図21はシングル構造のMISFETを有する半導体装置を表しているが、マルチ構造のMISFETにおいてもシングル構造のMISFETと同様にソース/ド레인領域の幅方向901及び最上部から基体側の方向902を定義する。

[0075] また、選択エピタキシャル成長を短時間で終了させているため、隣接するソース/ド레인領域は接しておらず、各突起状の半導体領域の両側に、それぞれ個別にソース/ド레인領域が設けられている。なお、図15(b)は図15(a)のソース/ド레인領域612のA-A方向の断面図である。この後、図13(a)〜(d)と同様の方法によって、図15(a)の半導体装置に不純物注入、金属層の堆積、アニール処理、未反応金属の除去を行う。図15(c)は、未反応金属層除去後の半導体装置の上面図である。なお、図15(d)は図15(c)のソース/ド레인領域612のA-A方向の断面図である。

[0076] 図15(e)は、上記選択エピタキシャル成長を行う際、長時間、選択エピタキシャル成長を行った場合の半導体装置の上面図である。また、図15(f)は図15(e)のソース/ド레인領域612のA-A方向の断面図である。図15(e)では、選択エピタキシャル成長を長時間、行っているため、複数の半導体領域を挟んで該複数の半導体領域に共通化された凹凸部を有するソース/ド레인領域となっている。図15(e)のソース/ド레인領域では、ある特定の結晶面が優先的に成長した結果、テーパー形状となっている。図15(g)は、図15(e)の半導体装置に不純物注入、金属層の堆積、アニール処理、未反応金属の除去を行った後の半導体装置の上面図である。図15(h)は図15(g)のソース/ド레인領域612のA-A方向の断面図である。

[0077] 選択エピタキシャル成長は、CVD装置を用いて行うことができる。主原料ガスとして



はジシランガス( $\text{Si}_2\text{H}_2$ )やモノシランガス( $\text{SiH}_4$ )を用いることができる。また、ホスフィン( $\text{PH}_3$ )やジボラン( $\text{B}_2\text{H}_6$ )などのガスを用いてドーピングを行っても良い。

[0078] (2)エッチング法

選択エピタキシャル成長法と同様の方法によって、 $\text{SiO}_2$ 膜上に所定の高さの複数の突起状の半導体領域701と突起状の半導体領域702を形成する。図16(a)はこれらの半導体領域を表す上面図である。なお、突起状の半導体領域702は基体から突出しており、半導体領域701の全てを挟んだ形状であれば良く、直方体に限定されるわけではない。

[0079] 次に、選択的エピタキシャル成長法と同様の方法で、ゲート電極703の形成、エクステンションイオン注入、ゲートサイドウォール704の形成を行う(図16(b))。次に、全面にレジストマスク705を形成した後、フォトリソグラフィを用いてソース/ド레인領域708上の、半導体領域701の配列方向712に向かって半導体領域701と交互となる位置に開口710を有するマスク層705を設ける。このようにマスク層705を設けた場合、半導体領域701のチャネル電流が流れる方向714への延長上に存在するソース/ド레인領域上にはマスク層713が設けられ、該マスク層713の間にマスク開口710が設けられている。なお、開口はチャネル電流が流れる方向714において、ソース/ド레인領域上の一方の端部から他方の端部まで形成されていても良い(図16(c)及び(e))し、一方から他方の端部にわたって形成されていなくても良い。開口の形状は、長方形、正方形、円形、楕円形、曲面、多角形など様々な形状とすることができる。図16(c)はこの半導体装置の上面図である。また、図16(d)は図16(c)のソース/ド레인領域708のA-A方向の断面図である。

[0080] このレジストマスクをエッチングマスクとして、エッチングを行う。開口がソース/ド레인領域の一方の端部から他方の端部にわたって形成されていないマスクを用いてエッチングを行った場合、例えば図20(b)のような形状のソース/ド레인領域が形成される。図20(b)では、テーパ形状801の部分は、エッチング前にマスク開口710を設け、エッチングが進行したソース/ド레인領域にあたる。また、突起部802はマスク層705を設け、エッチングが進行しなかったソース/ド레인領域にあたる。テーパ形状801を有する面と突起部802の断面はそれぞれ804及び805にあたる。

図16(e)はエッチング後の半導体装置の上面図である。エッチングとしてはウェットエッチング法とドライエッチング法を用いることができる。

[0081] ウェットエッチング法では、KOH溶液やTMAH溶液などの溶液を用いる。エッチング時の温度、溶液濃度、時間等は公知の条件を用いることができる。例えば、基体( $\text{SiO}_2$ 酸化膜)706と平行な面方位が(100)面の半導体領域にウェットエッチングを行う場合、(111)面が他の結晶面に対して極端に低いエッチングレートとなる。このため、最終的には $54.7^\circ$ のテーパ形状を有するソース/ド레인領域708が形成される。

[0082] ドライエッチング法では、レジストマスクをエッチングマスクとして、等方性ドライエッチングと異方性ドライエッチングを順次行うことによって、所定の傾斜角度のテーパ形状を有するソース/ド레인領域708を形成することができる。テーパ形状の傾斜角度は等方性ドライエッチングと異方性ドライエッチングのエッチング量比を調節することによって、調整可能である。また、ドライエッチングの条件は公知の条件に設定することができる。

[0083] エッチングを長時間行くと、図16(g)に表されるように各突起状の半導体領域の両側に、それぞれ個別にソース/ド레인領域708が設けられたMISFETとすることができる。一方、エッチングを短時間で終了すると、図16(f)に表されるように、各突起状の半導体領域を挟むように共通化されたソース/ド레인領域を有するMISFETとすることができる。前者の半導体装置とするためにエッチング処理を行う時間は、温度、原料ガス流量などの操作条件によって異なり、所望の条件に設定すれば良い。

[0084] 次に、エッチングマスクを除去する。図17(a)及び図18(a)はそれぞれ、図16(f)及び(g)の半導体装置のエッチングマスクを除去したものを表す上面図である。また、図17(b)及び18(b)は、それぞれ図17(a)及び18(a)のソース/ド레인領域708のA-A方向の断面図である。なお、エッチング後のソース/ド레인領域は、少なくともその幅が最も大きい部分において、半導体領域701の幅よりも大きければ良く、ソース/ド레인領域の上面715の幅は半導体領域701の幅よりも小さくても良い。次に、選択エピタキシャル成長と同様の方法で不純物注入をした後、ソース/ド레인領域708上にシリサイド膜709を設ける。図17(c)及び図18(c)は、それぞれ図1

7(a) 及び図18(a)のソース／ドレイン領域708にシリサイド膜709を設けた半導体装置の上面図である。また、図17(d) 及び図18(d)は、それぞれ図17(c) 及び図18(c)のソース／ドレイン領域708のA-A方向の断面図である。

[0085] シングル構造のMISFETを有する半導体装置も、上記マルチ構造のMISFETを有する半導体装置と同様の方法によって製造することができる。ただし、最初に基体上に設けられる突起状の半導体領域が一つである点がマルチ構造のMISFETを有する半導体装置の製造方法とは異なる。シングル構造のMISFETを有する半導体装置の製造方法を図19に示す。最初に突起状の半導体領域を形成する。なお、エッチング法によってソース／ドレイン領域に傾斜部を形成する場合には、ソース／ドレイン領域となる半導体領域は、その幅がチャンネルが形成される突起状の半導体領域よりも大きくなるように形成する。次に、この半導体領域上にゲート電極703とゲートサイドウォール704を形成する。図19(a)は、この半導体装置の上面図である。また、図19(b)は図19(a)の突起状の半導体領域708のA-A方向の断面図である。この後、ソース／ドレイン領域708を異方性の選択エピタキシャル成長させる。図19(c)は、この半導体装置の上面図である。また、図19(d)は図19(c)のソース／ドレイン領域708のA-A方向の断面図である。次に、半導体装置上に金属層711を堆積させる。図19(e)は、この半導体装置の上面図である。また、図19(f)は図19(e)のソース／ドレイン領域708のA-A方向の断面図である。この後、アニール処理を行い、シリサイド膜709を形成した後、未反応の金属層を除去する。図19(g)は、この半導体装置の上面図である。また、図19(h)は図19(g)のソース／ドレイン領域708のA-A方向の断面図である。

[0086] なお、本発明ではフィン型のMISFETとプレーナ型(平面型)のMISFETとを混載させた半導体装置を製造することもできる。図25はこの半導体装置の製造工程の一例を表したものである。図25(a)はフィン型のMISFET用の突起状半導体領域と、プレーナ型のMISFET用のソース／ドレイン領域(1017、1018)を作成した状態を表したものである。図25(b)は、図25(a)の突起状半導体領域、ソース／ドレイン領域1017、1018を選択エピタキシャル成長させたものである。選択エピタキシャル成長により、フィン型のMISFETのソース／ドレイン領域に傾斜部が形成されると共に

、プレーナ型のMISFETのソース／ドレイン領域にはせり上げ部が形成される。図25(c)は図25(b)の半導体装置のソース／ドレイン領域1014及びせり上げ部1020上にシリサイド膜1015を形成した状態を表したものである。このように、本発明ではフィン型のMISFETとプレーナ型のMISFETを同時に製造することが可能であり、製造工程の簡素化を図ることができる。

### 請求の範囲

- [1] 基体上に設けられた突起状の半導体領域と、該半導体領域を挟んで形成された突起状のソース／ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に設けられたゲート電極とを備えた半導体装置であって、
- 該ソース／ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置。
- [2] 基体上に設けられた複数の突起状の半導体領域と、該半導体領域を挟んで形成された複数のソース／ドレイン領域と、絶縁膜を介して該半導体領域の少なくとも側面上に設けられたゲート電極とを備え、
- 該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、
- 前記ソース／ドレイン領域は、少なくともその幅が最も大きい部分では前記半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面にシリサイド膜が形成されていることを特徴とする半導体装置。
- [3] 基体上に設けられた複数の突起状の半導体領域と、該複数の半導体領域を挟んで該複数の半導体領域に共通して形成された一対の突起状のソース／ドレイン領域と、絶縁膜を介して前記複数の半導体領域の少なくとも側面上に設けられたゲート電極とを備え、
- 該複数の半導体領域が、チャネル電流が流れる方向と垂直な方向に互いに平行となるように配列され、前記ゲート電極が該複数の半導体領域を跨ってチャネル電流が流れる方向と垂直な方向に延在して設けられた半導体装置であって、
- 前記ソース／ドレイン領域が、最上部側から基体側に向かって断面積が連続的に増加している凹凸部を有し、該凹凸部表面にシリサイド膜が形成されていることを特徴とする半導体装置。

- [4] 前記凹凸部が、前記複数の半導体領域の配列方向に向かって該複数の半導体領域と等間隔で、該半導体領域と該凹凸部が並列となるように形成されていることを特徴とする請求項3に記載の半導体装置。
- [5] 前記ソース／ドレイン領域の最上部側が前記基体平面と平行な面であり、該面上にシリサイド膜が形成されていることを特徴とする請求項1乃至4の何れか1項に記載の半導体装置。
- [6] 前記ソース／ドレイン領域の全てが、表面にシリサイド膜を形成した傾斜部からなっていることを特徴とする請求項1又は2に記載の半導体装置。
- [7] 前記ソース／ドレイン領域の傾斜部の幅が、最上部側から基体側に向かって一定割合で大きくなっていることを特徴とする請求項1又は2に記載の半導体装置。
- [8] 前記凹凸部の断面積が、最上部側から基体側に向かって一定割合で大きくなっていることを特徴とする請求項3に記載の半導体装置。
- [9] 側面にチャンネルを形成する突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、  
(a)ゲート電極を形成した突起状の半導体領域を挟んで設けられた突起状のソース／ドレイン領域を選択エピタキシャル成長させ、該ソース／ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を設ける工程と、(b)該傾斜部の表面上にシリサイド膜を設ける工程とを有することを特徴とする半導体装置の製造方法。
- [10] 側面にチャンネルを形成する複数の突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、  
(a)複数の突起状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領域を挟んで設けられた複数の突起状のソース／ドレイン領域を選択エピタキシャル成長させ、該ソース／ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を形成する工程と、(b)該傾斜部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法。
- [11] 側面にチャンネルを形成する複数の突起状の半導体領域を有する電界効果型トラン

ジスタを備えた半導体装置の製造方法であって、

(a)複数の突起状の半導体領域を跨ってゲート電極を設けた後、該複数の半導体領域を挟んで設けられた複数の突起状のソース/ドレイン領域を隣接するソース/ドレイン領域が接するまで選択エピタキシャル成長させ、該選択エピタキシャル成長時に該ソース/ドレイン領域が最上部側から基体側に向かって断面積が連続的に増加している凹凸部を形成する工程と、(b)該凹凸部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

[12] 前記傾斜部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶面で形成されるように選択エピタキシャル成長をさせることを特徴とする請求項9又は10に記載の半導体装置の製造方法。

[13] 前記凹凸部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に8つまでの結晶面で形成されるように選択エピタキシャル成長をさせることを特徴とする請求項11に記載の半導体装置の製造方法。

[14] 前記傾斜部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からなるように選択エピタキシャル成長をさせることを特徴とする請求項9又は10に記載の半導体装置の製造方法。

[15] 前記凹凸部が、前記ソース/ドレイン領域の幅方向及び最上部側から基体側の方向に平行で、かつ該最上部と交わる断面で見たときに、実質的に湾曲形状からなるように選択エピタキシャル成長をさせることを特徴とする請求項11に記載の半導体装置の製造方法。

[16] 側面にチャンネルを形成する突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、  
(a)突起状の半導体領域上にゲート電極を形成した後、該半導体領域を挟んで該半導体領域の幅よりも大きな幅を有するように設けられた突起状のソース/ドレイン領域をエッチングし、該ソース/ドレイン領域の幅が該半導体領域の幅よりも大きく、か

つ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を設ける工程と、(b)該傾斜部の表面上にシリサイド膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

- [17] 側面にチャンネルを形成する複数の突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、
- (a)複数の突起状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を挟んで一对の突起状のソース／ドレイン領域を設けた後、該ソース／ドレイン領域上の半導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有するマスク膜を設ける工程と、(b)該マスク膜をマスクとしてエッチングを行うことにより該一对のソース／ドレイン領域を該複数の半導体領域を挟んで互いに離間した複数のソース／ドレイン領域とし、該エッチング時に該ソース／ドレイン領域の幅が該半導体領域の幅よりも大きく、かつ該ソース／ドレイン領域の最上部側から基体側に向かって幅が連続的に大きくなっている傾斜部を設ける工程と、(c)該傾斜部上にシリサイド膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。
- [18] 側面にチャンネルを形成する複数の突起状の半導体領域を有する電界効果型トランジスタを備えた半導体装置の製造方法であって、
- (a)複数の突起状の半導体領域を跨ってゲート電極を設け、該複数の半導体領域を挟んで一对の突起状のソース／ドレイン領域を設けた後、該ソース／ドレイン領域上の該半導体領域の配列方向に向かって該複数の半導体領域と交互となる位置に複数の開口を有するマスク膜を設ける工程と、(b)該マスク膜をマスクとしてエッチングを行い、該ソース／ドレイン領域の最上部側から基体側に向かって断面積が連続的に増加している凹凸部を設ける工程と、(c)該凹凸部上にシリサイド膜を形成する工程と、を有することを特徴とする半導体装置の製造方法。
- [19] 前記エッチングが、ウェットエッチング法であることを特徴とする請求項16乃至18の何れか1項に記載の半導体装置の製造方法。
- [20] 前記基体が絶縁膜層であり、前記突起状の半導体領域及び前記突起状のソース／ドレイン領域は該絶縁膜層上に形成されていることを特徴とする請求項1乃至8の



何れか1項に記載の半導体装置。

[21] 前記基体が層間絶縁膜であり、

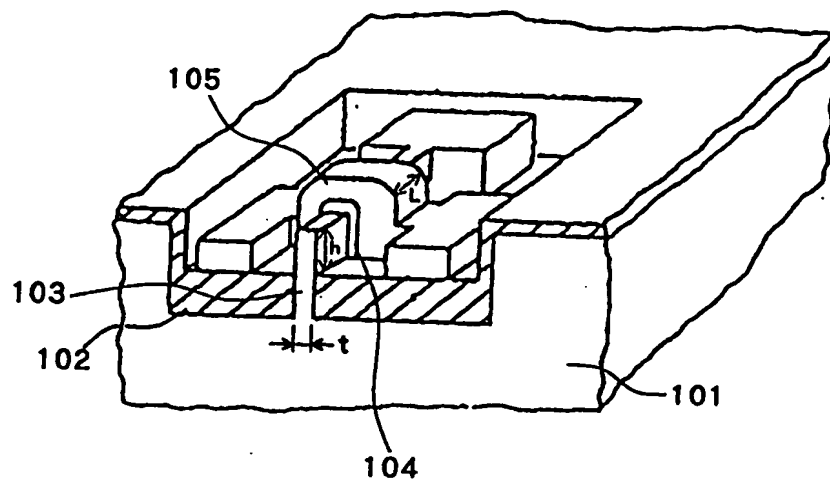
前記突起状の半導体領域及び前記突起状のソース／ドレイン領域は、該層間絶縁膜の下部に設けられた半導体層の一部が該層間絶縁膜を貫通して、該層間絶縁膜よりも上方に突出したものであることを特徴とする請求項1乃至8の何れか1項に記載の半導体装置。

[22] 前記半導体装置は更に、上面に主たるチャンネルが形成される半導体領域と、せり上げ部を有するソース／ドレイン領域と、を有するプレーナ型の電界効果トランジスタを備えることを特徴とする請求項1乃至8、20、21の何れか1項に記載の半導体装置。

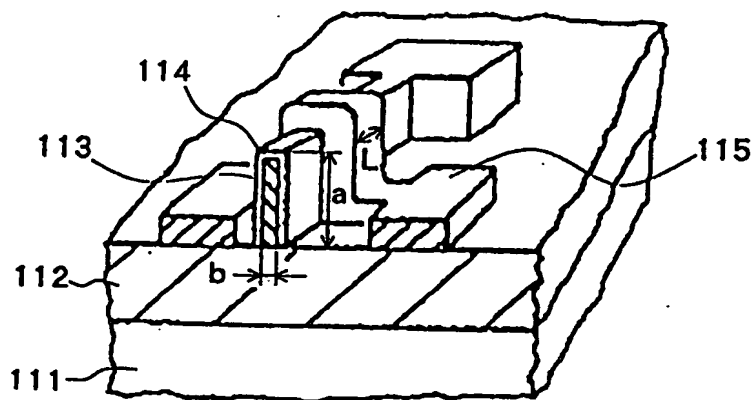
。

[図1]

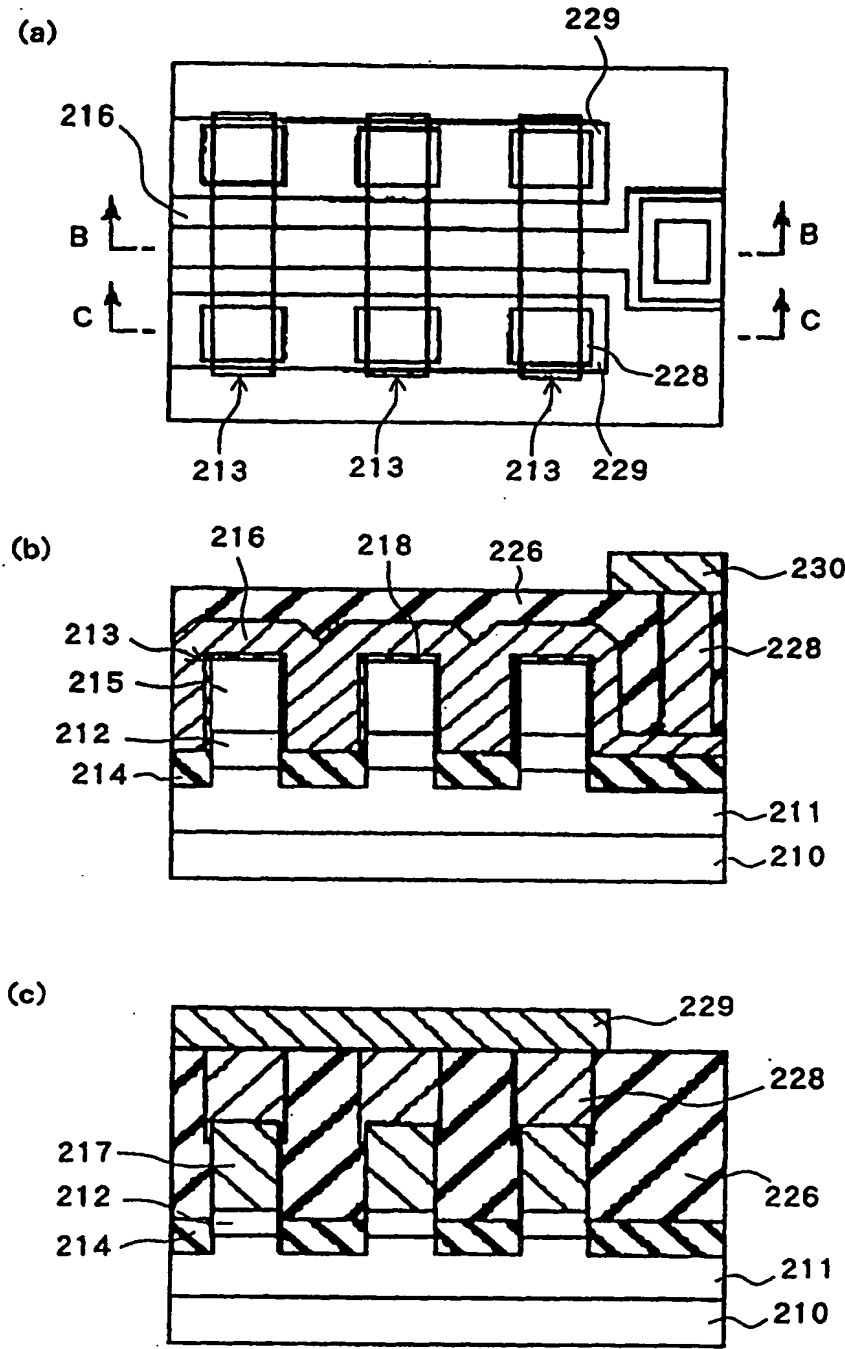
(a)



(b)

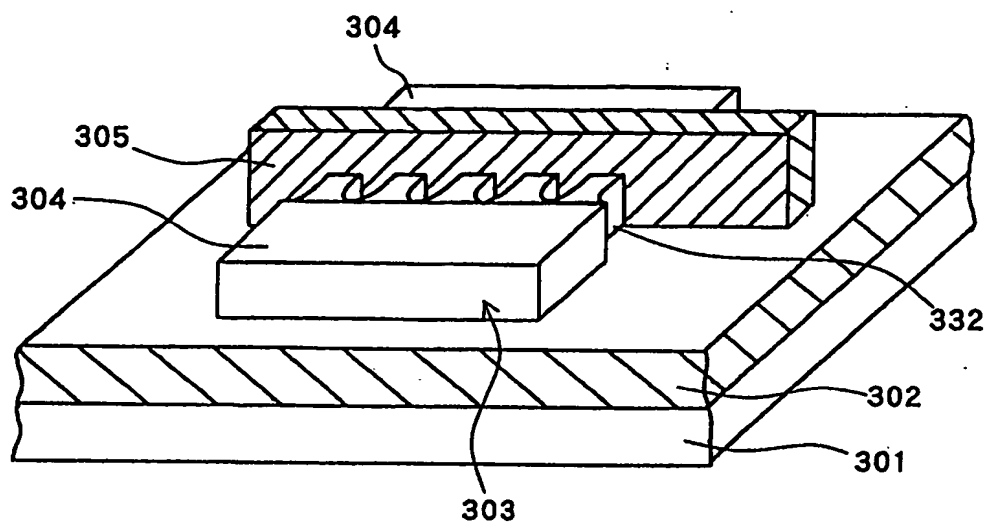


[図2]

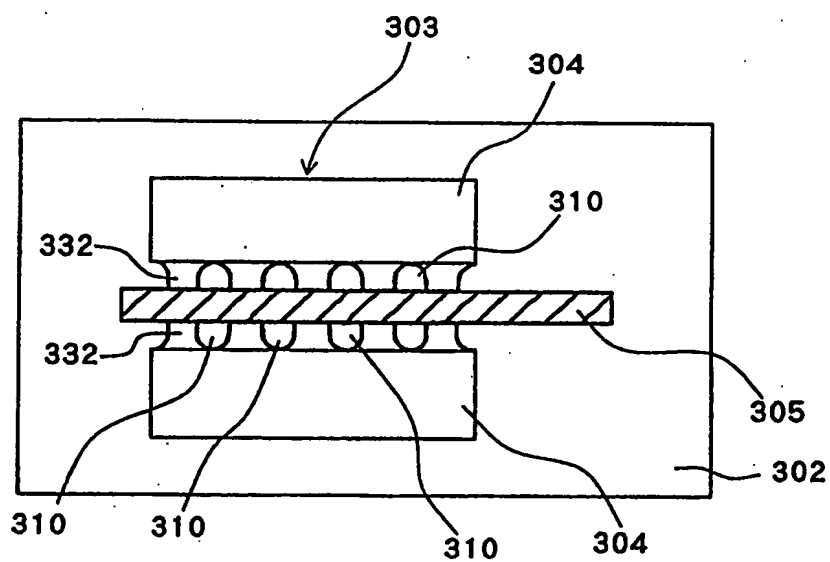


[図3]

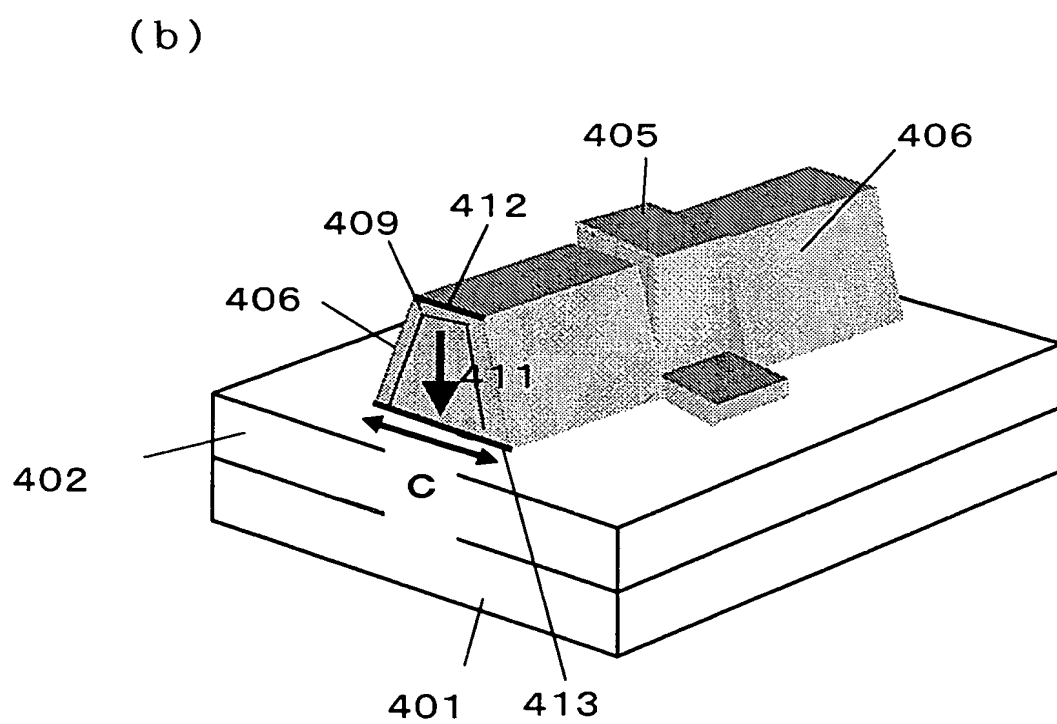
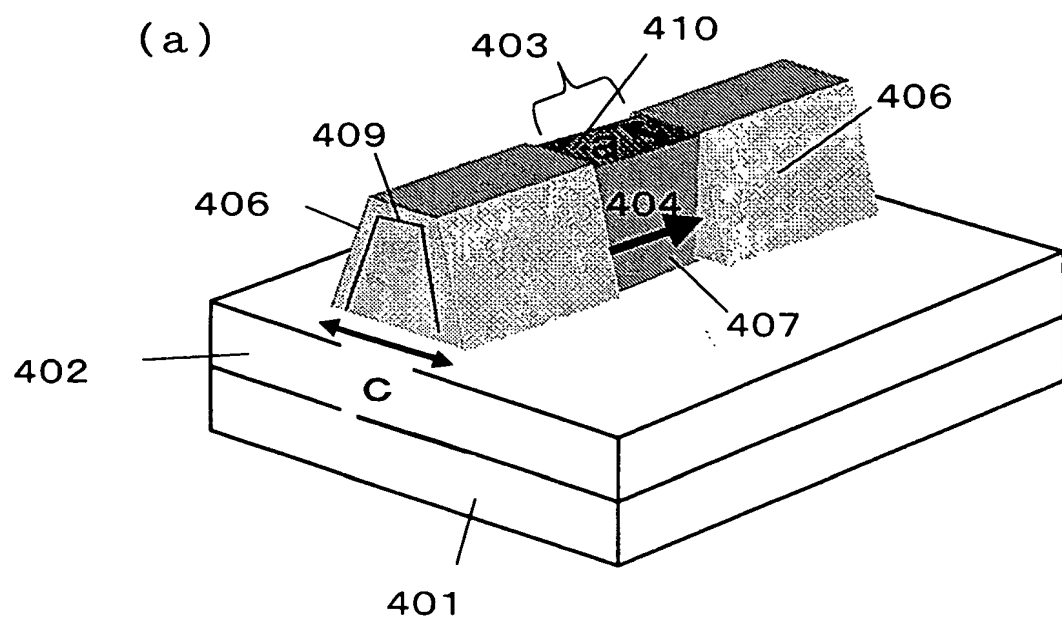
(a)



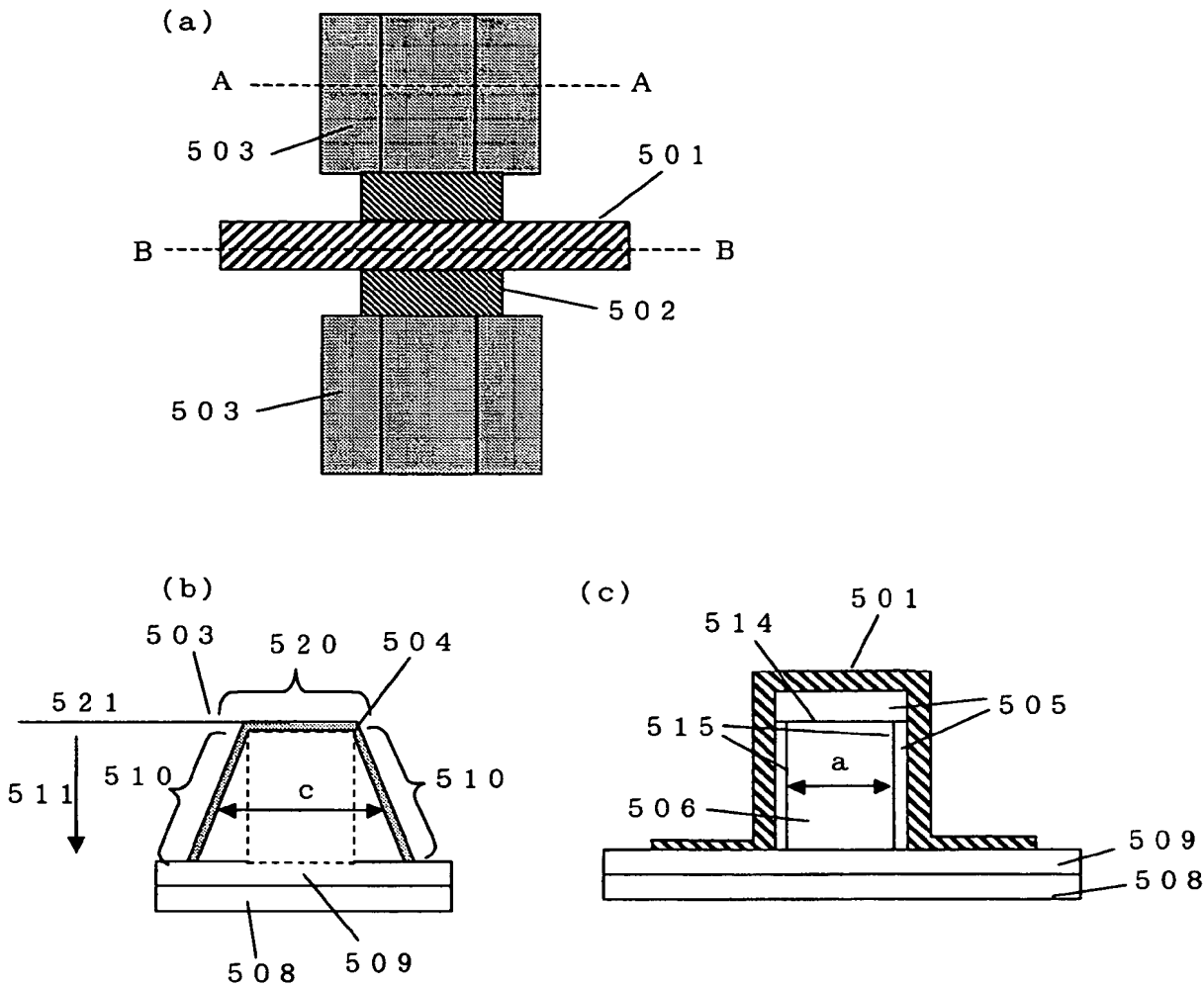
(b)



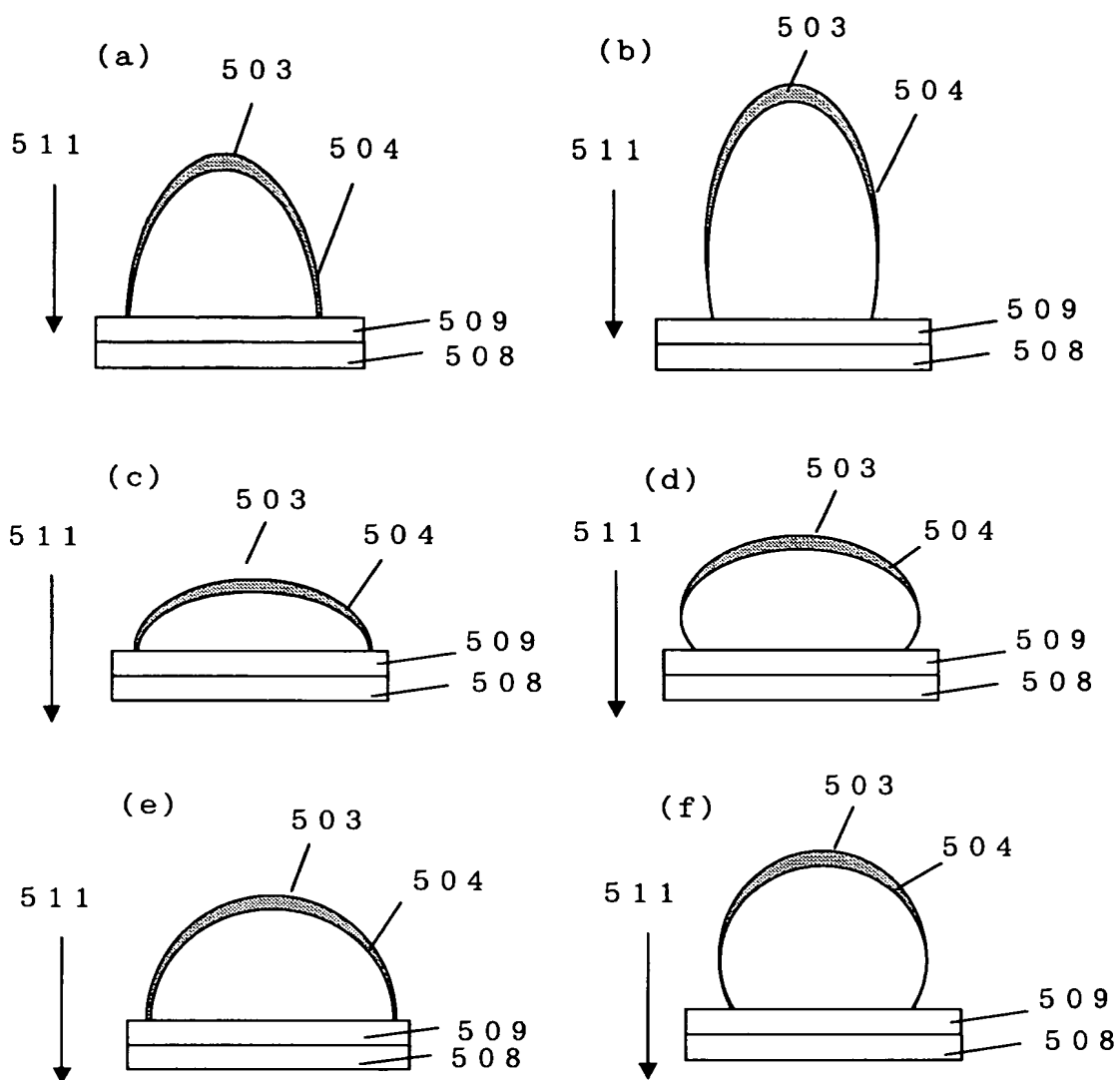
[図4]



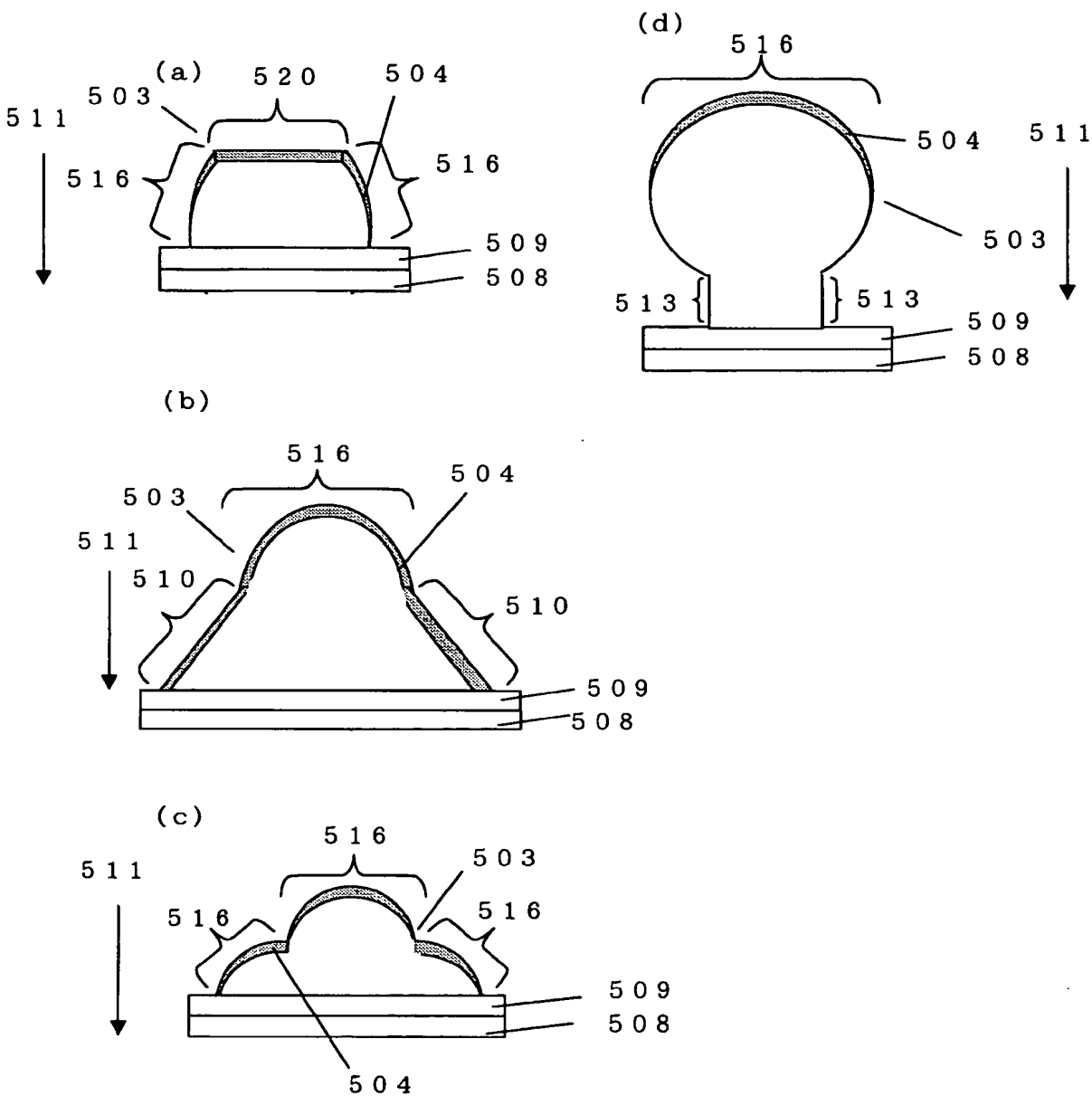
[図5]



[図6]

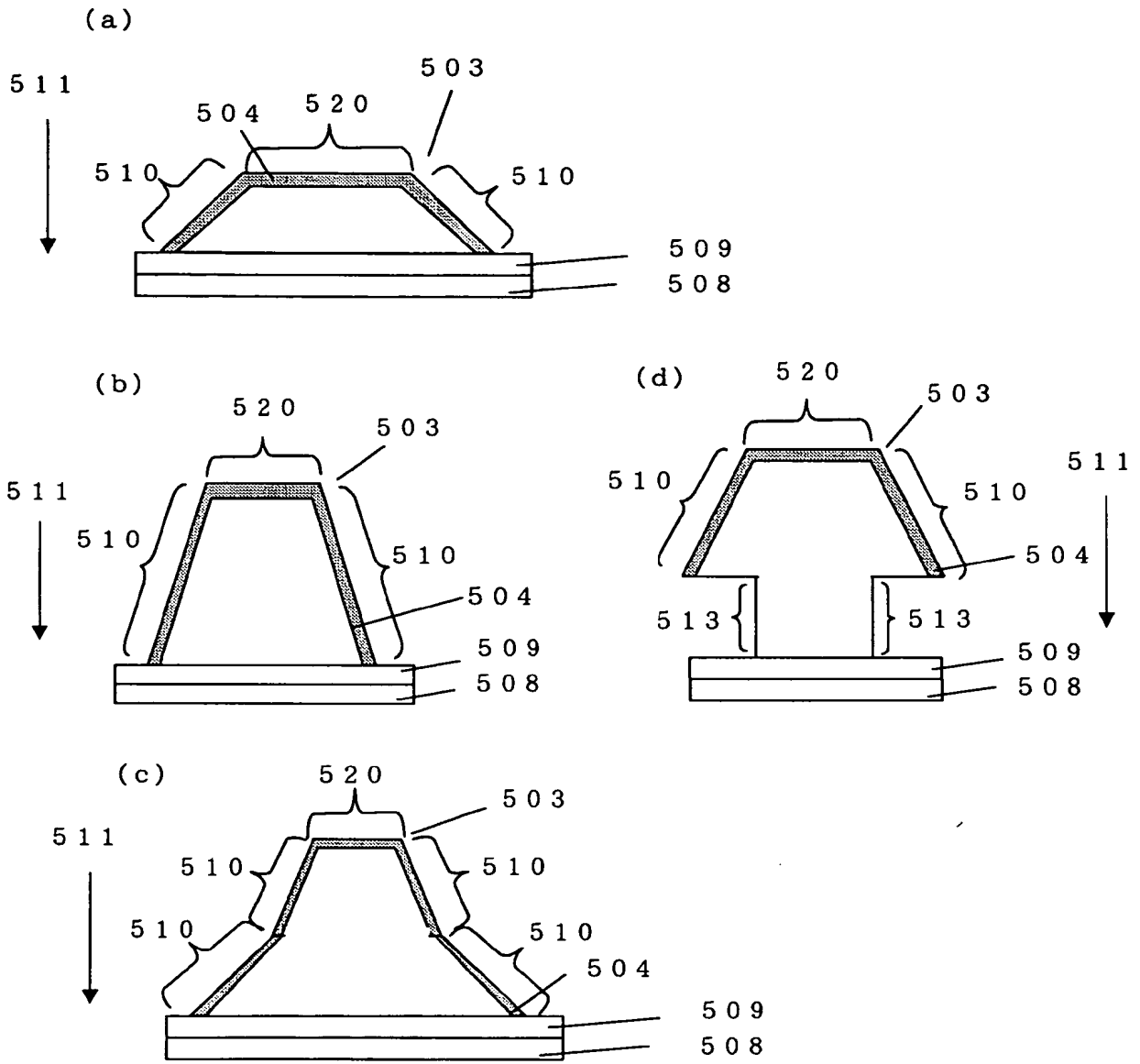


[図7]

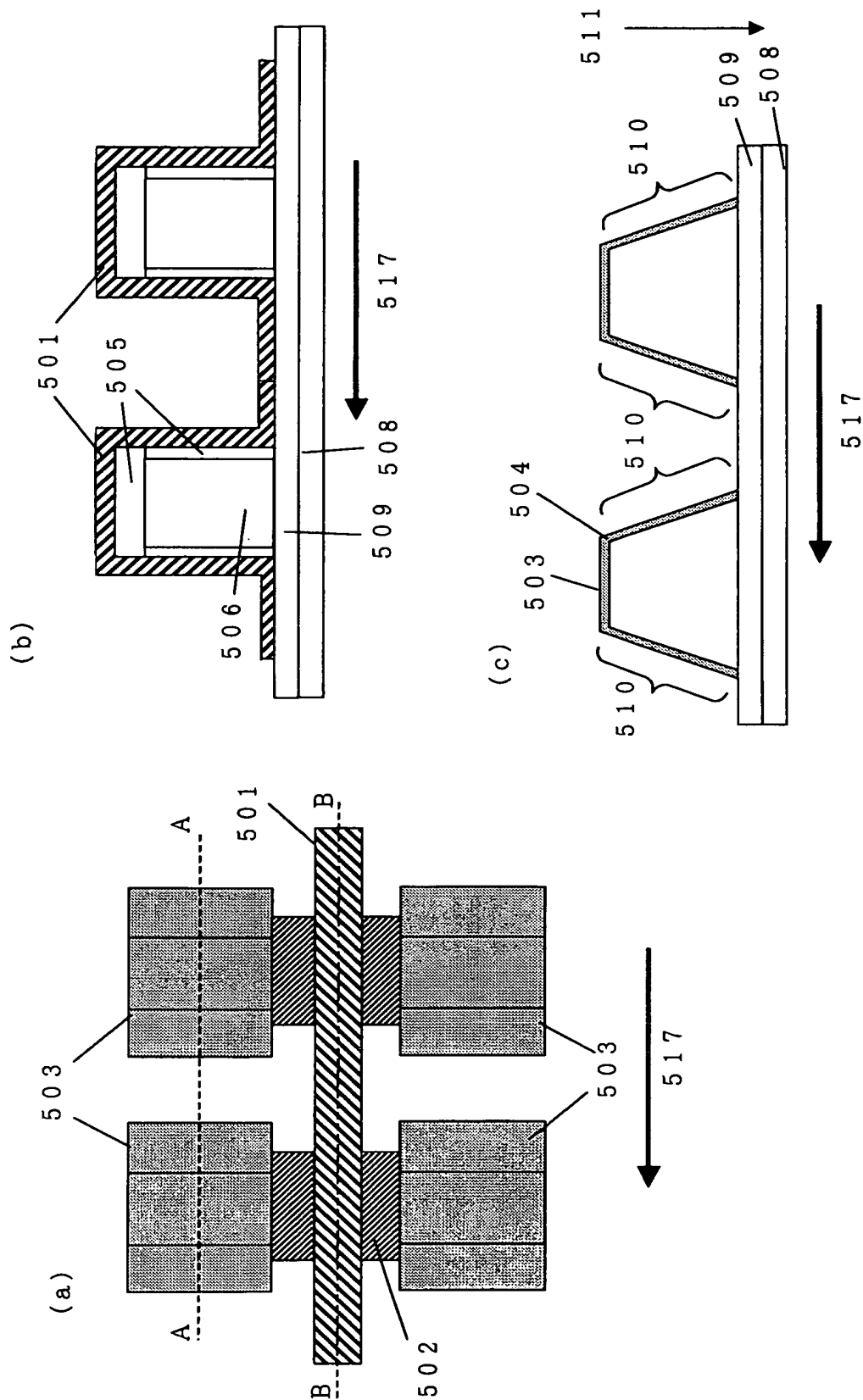




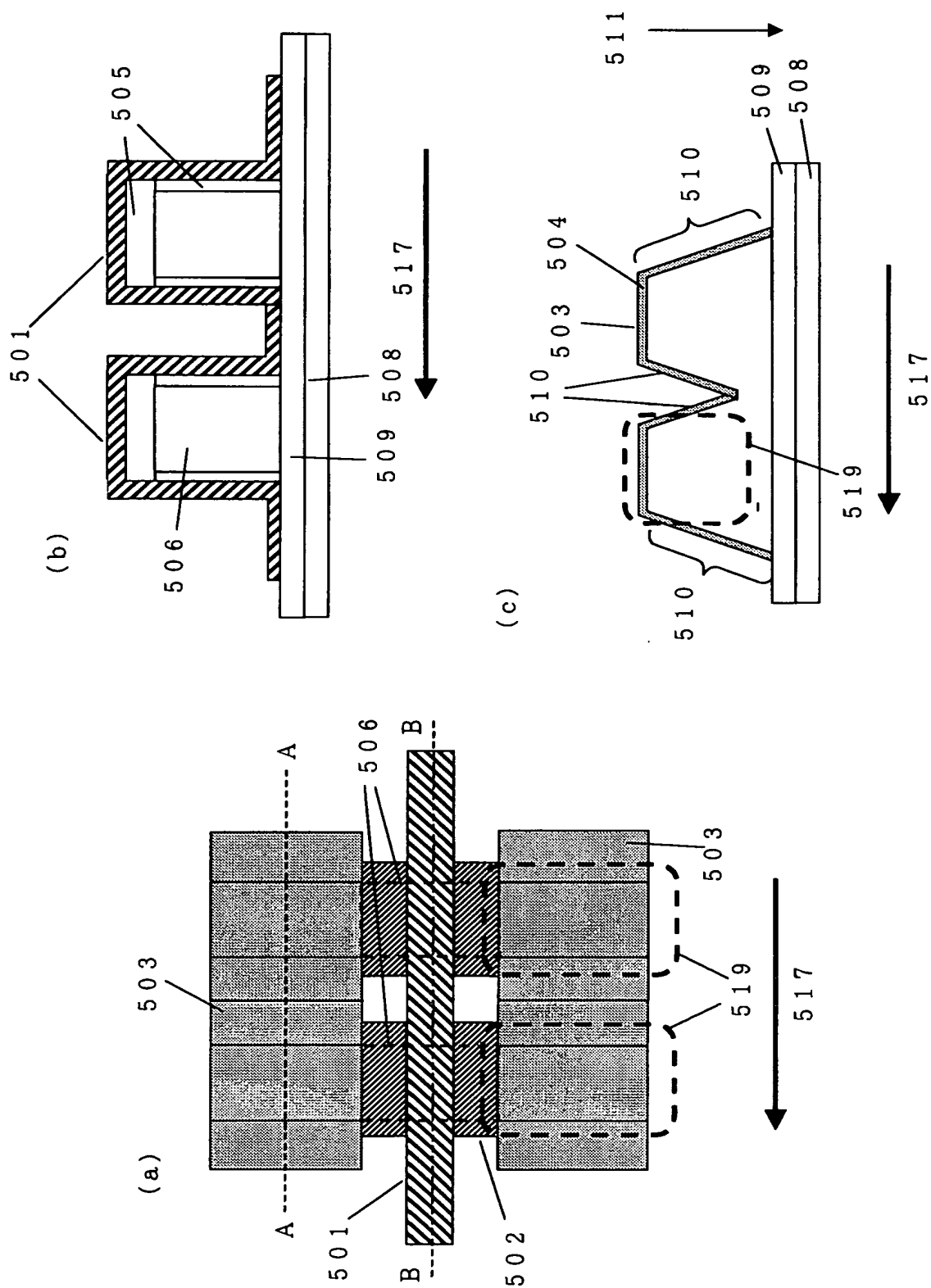
[図8]



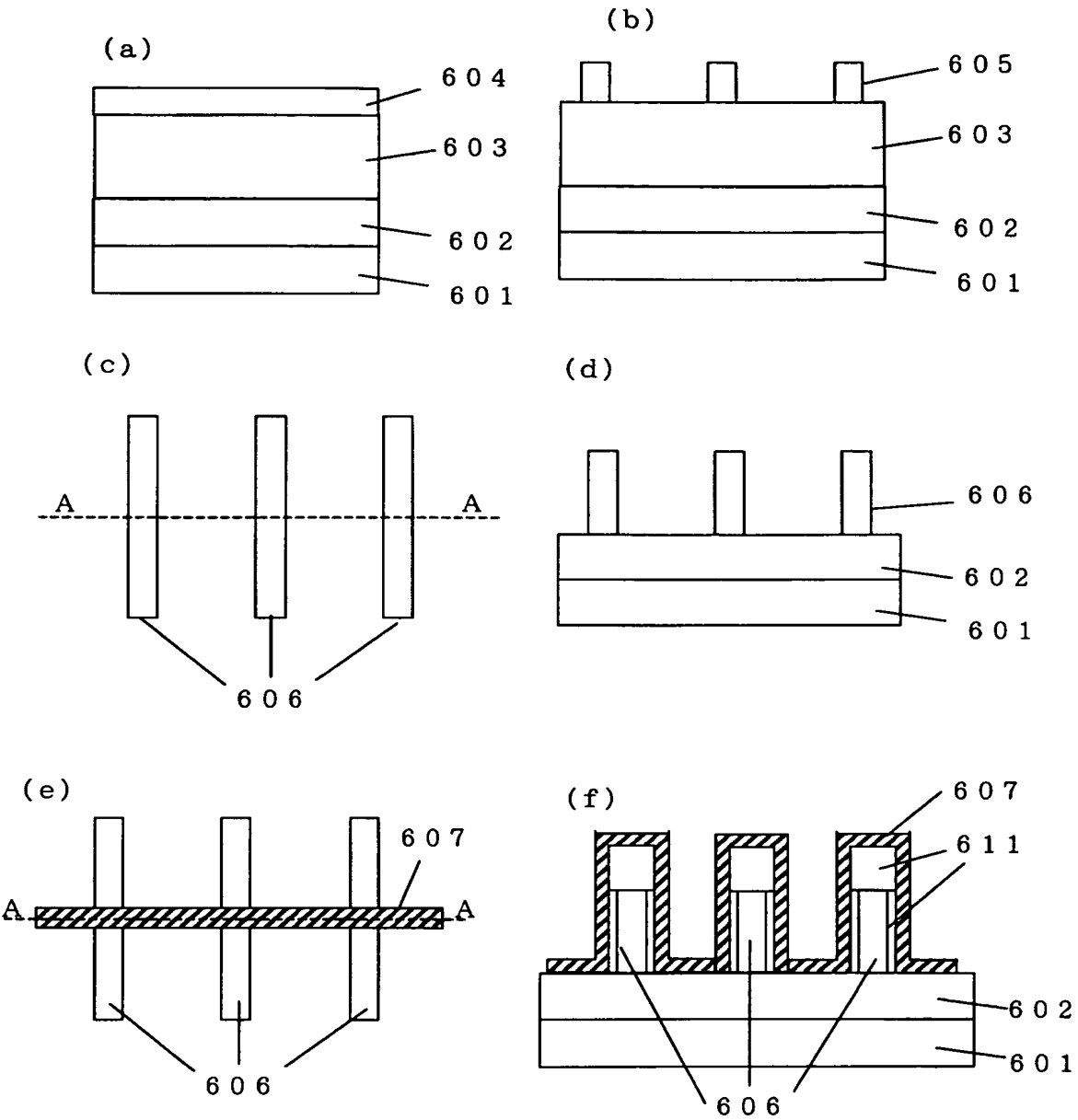
[図9]



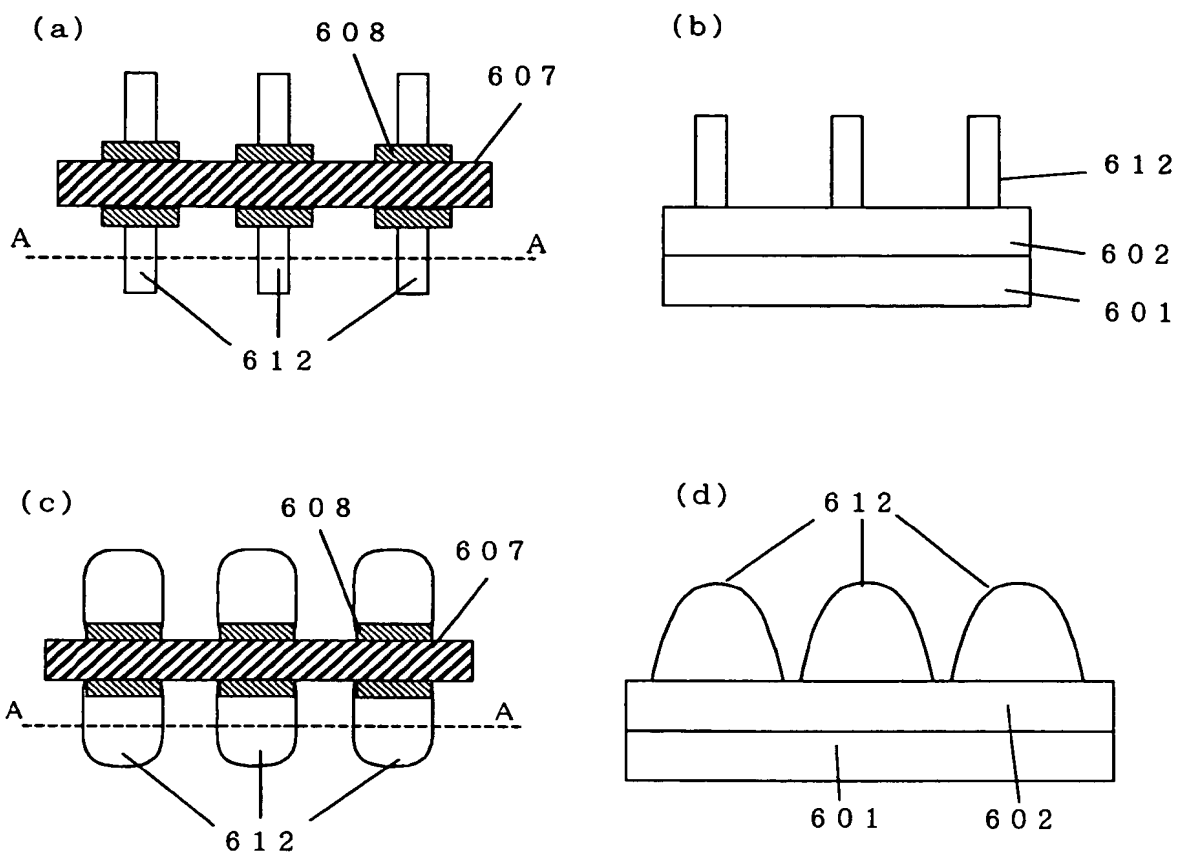
[図10]



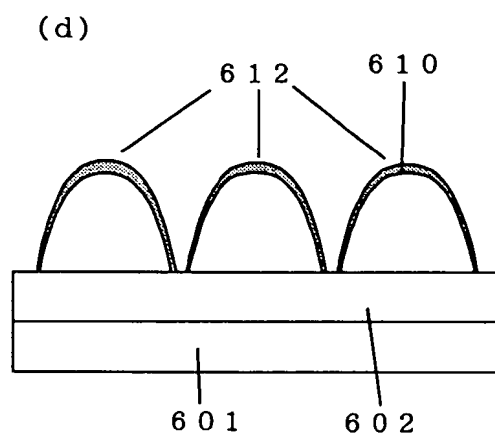
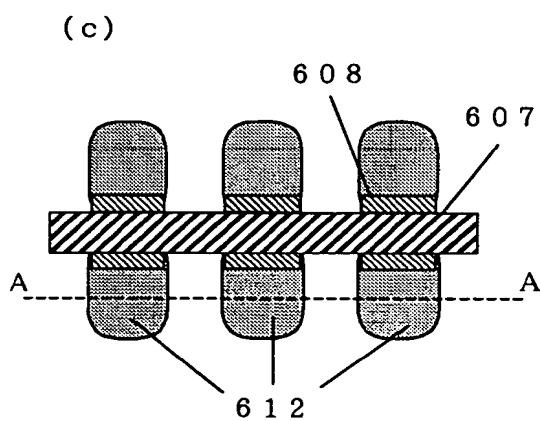
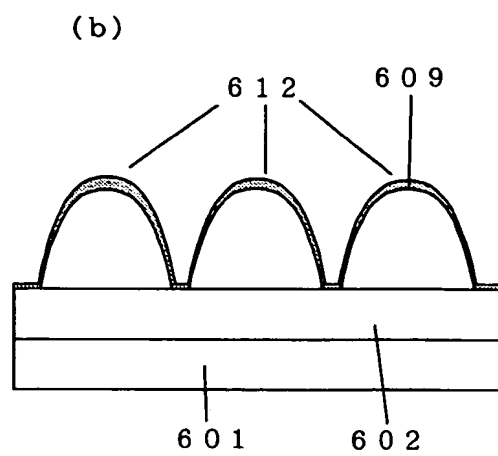
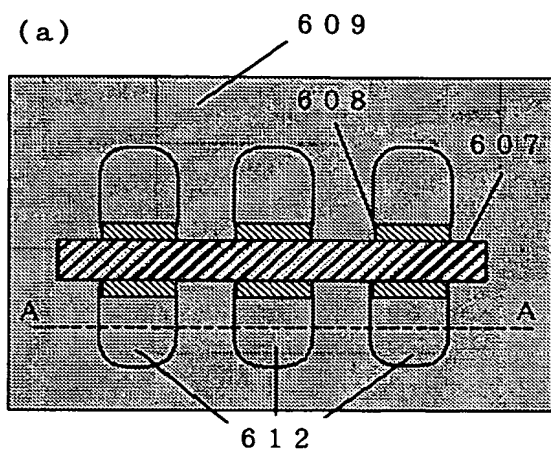
[図11]



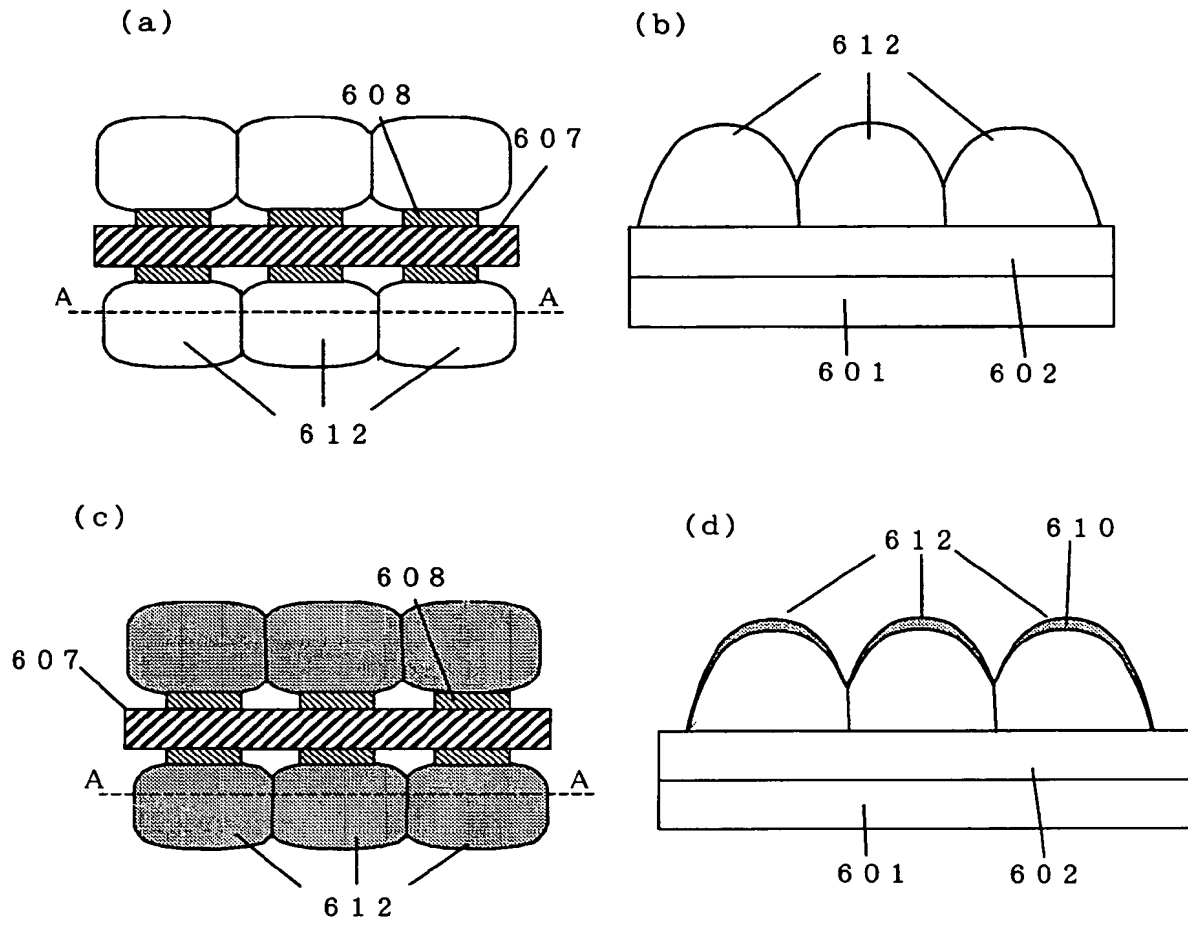
[図12]



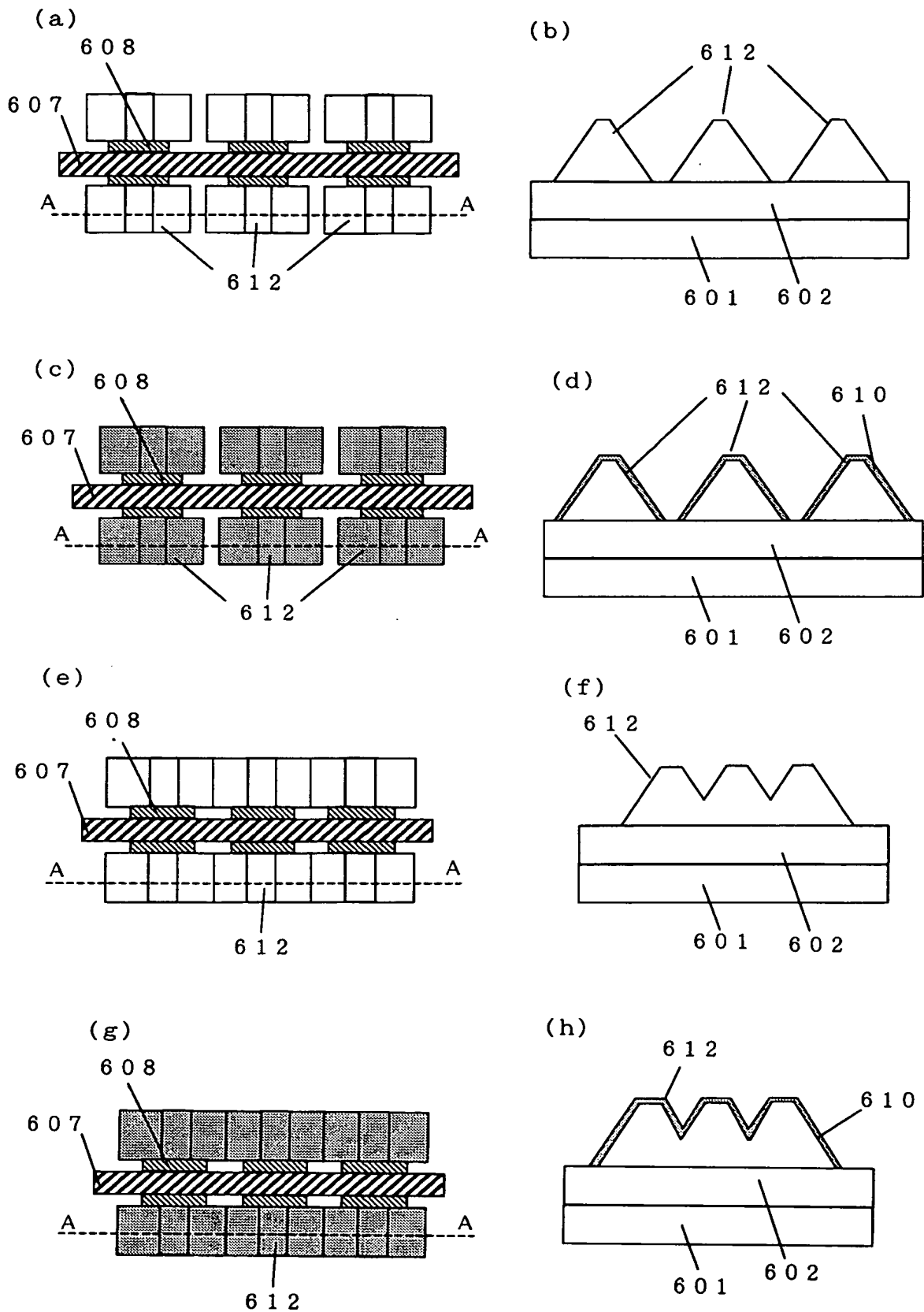
[図13]



[図14]

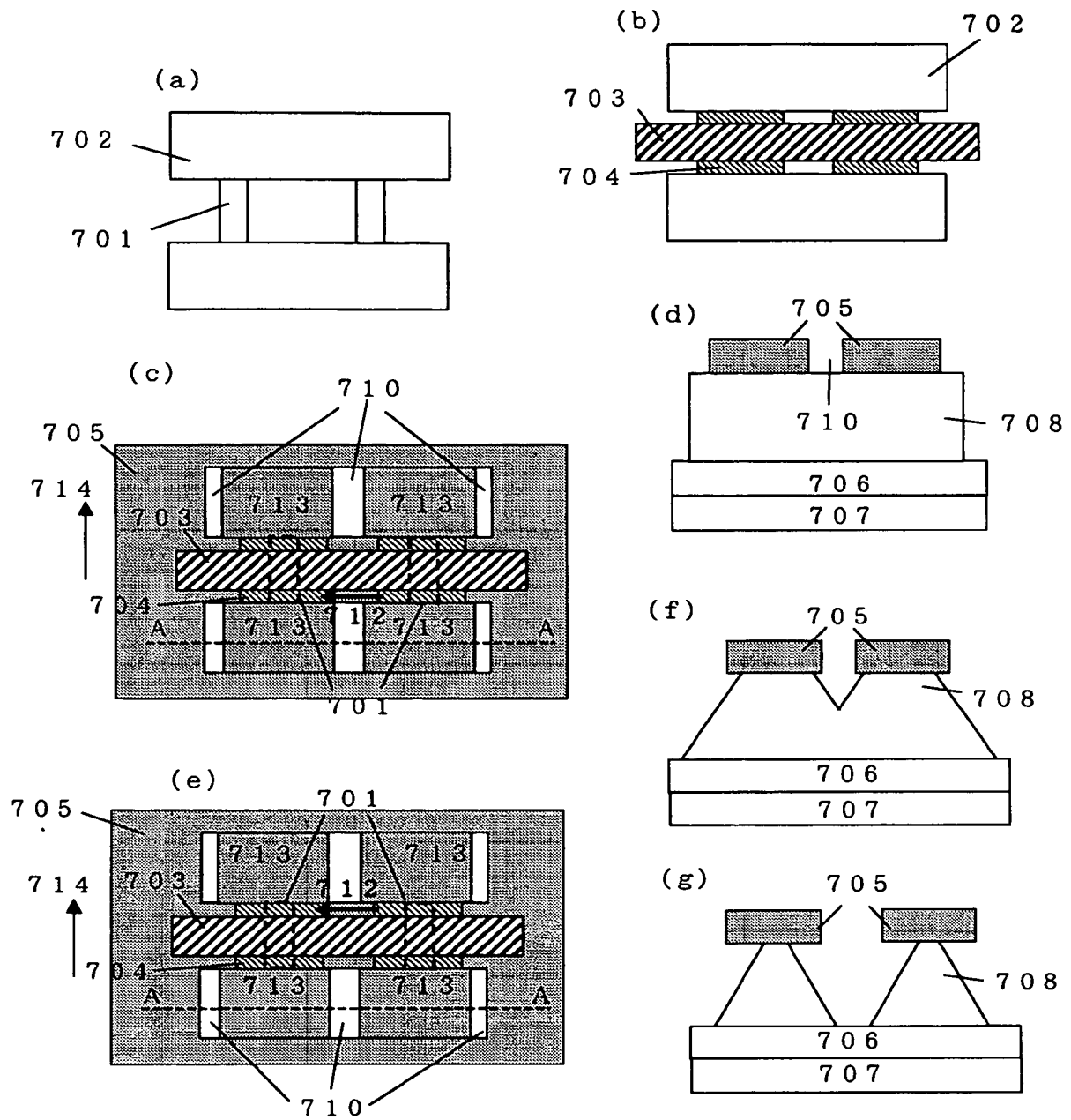


[図15]

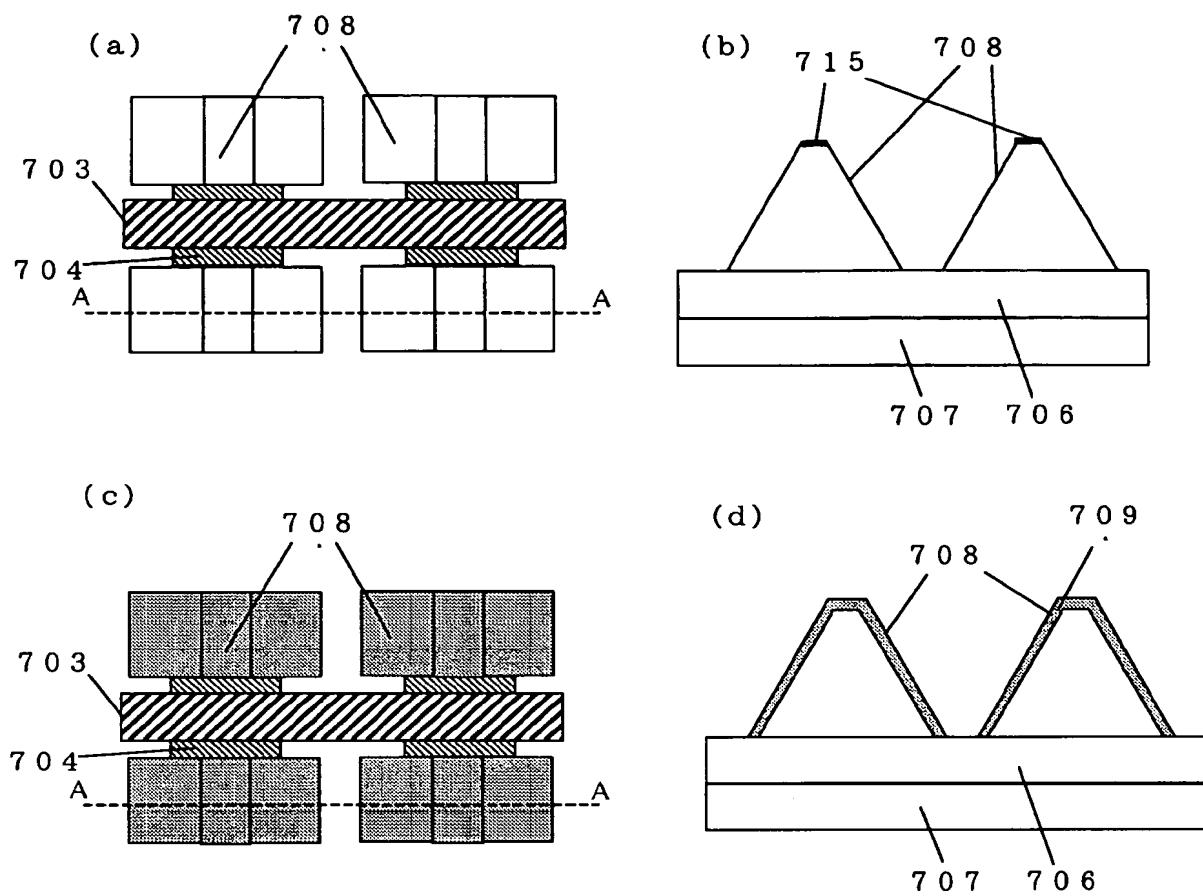




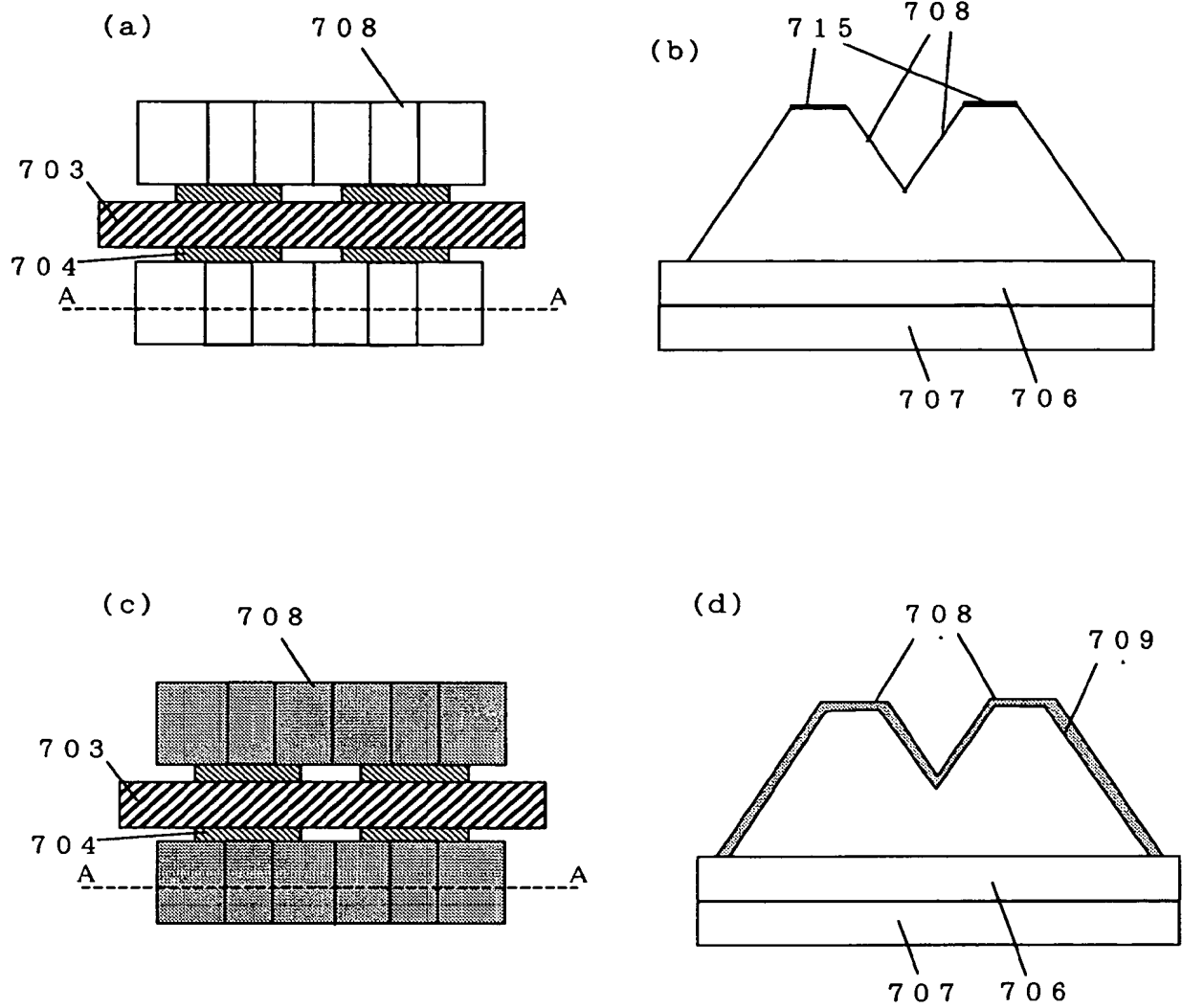
[図16]



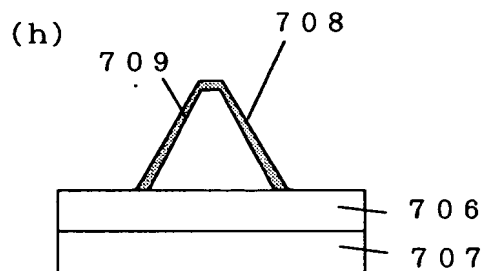
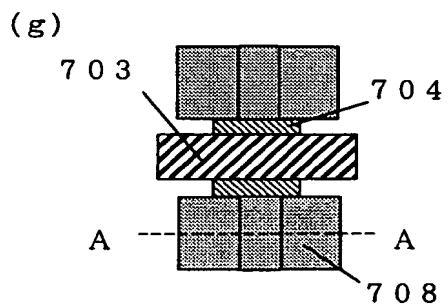
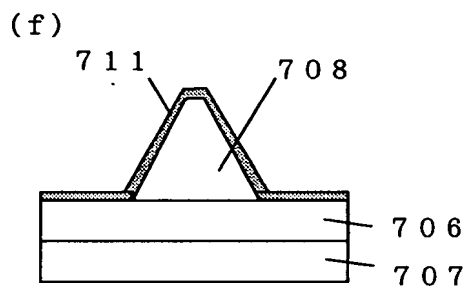
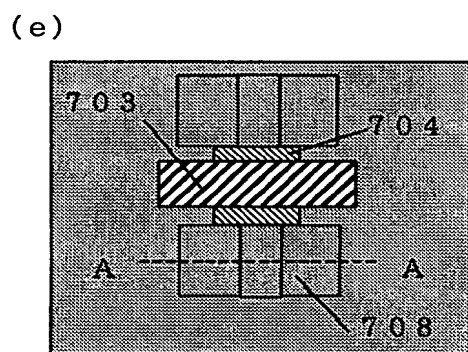
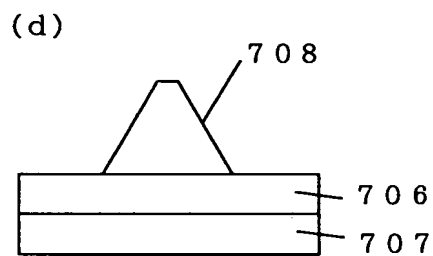
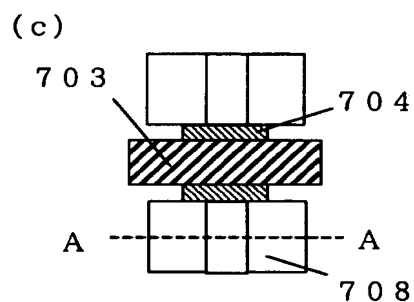
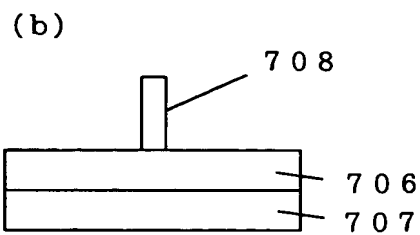
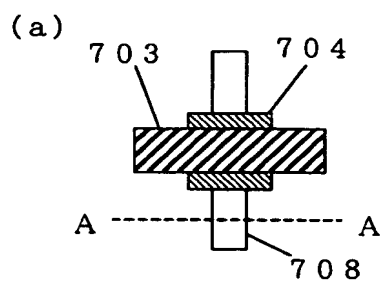
[図17]



[図18]

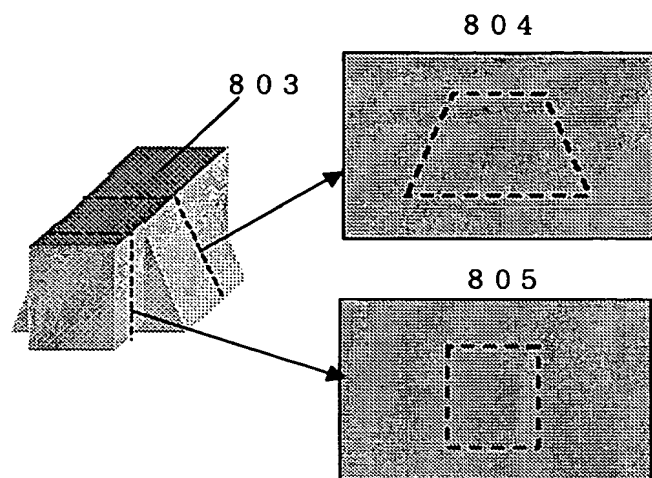


[図19]

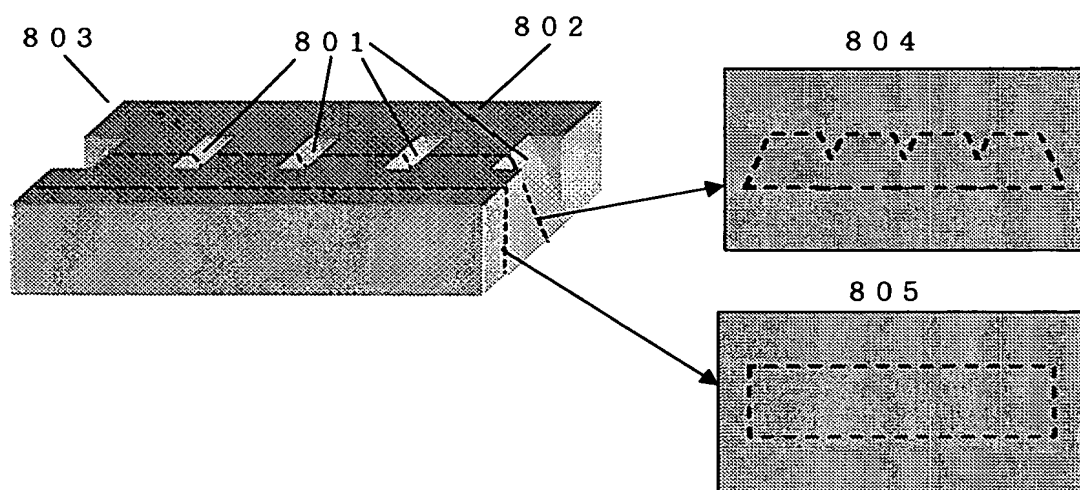


[図20]

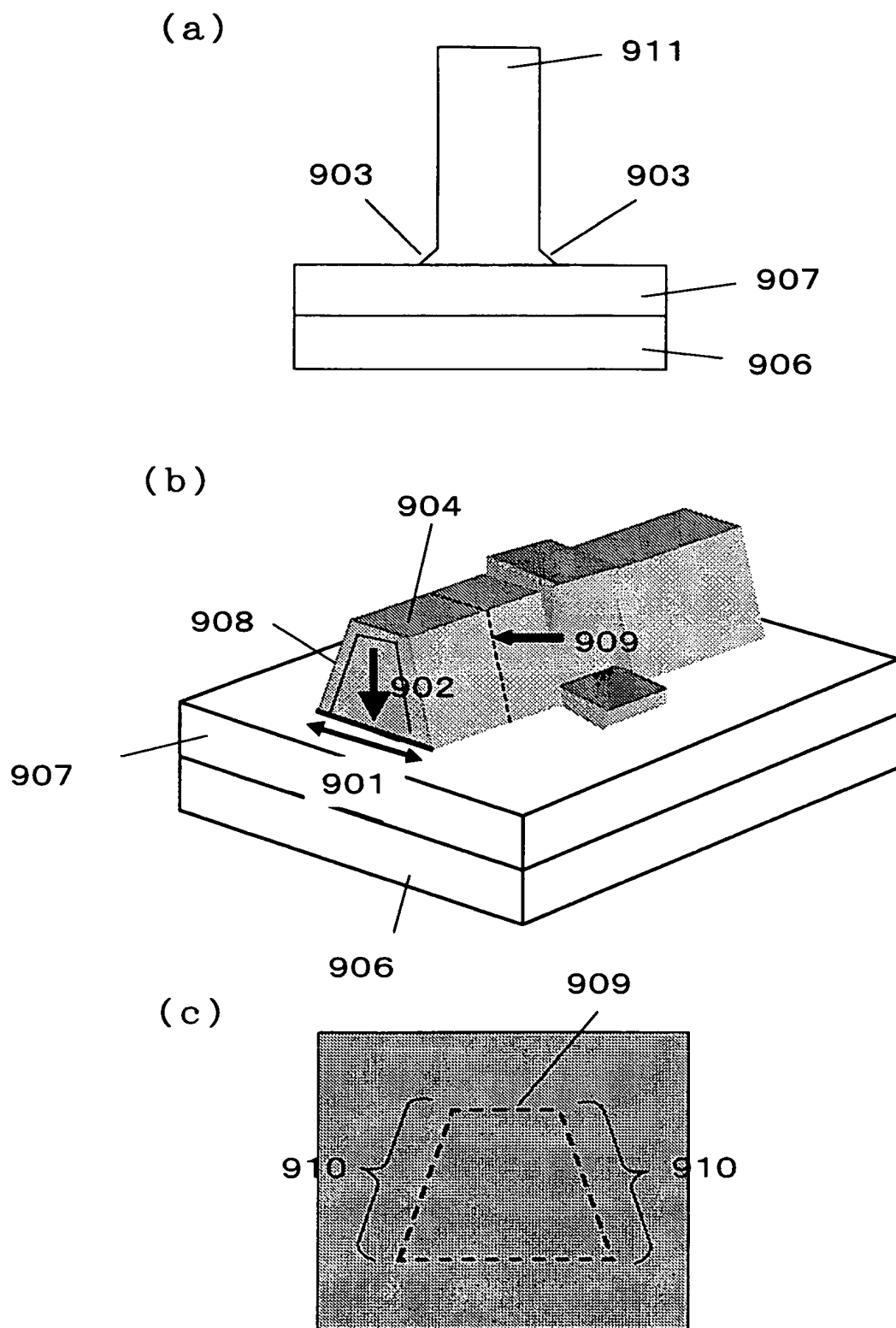
(a)



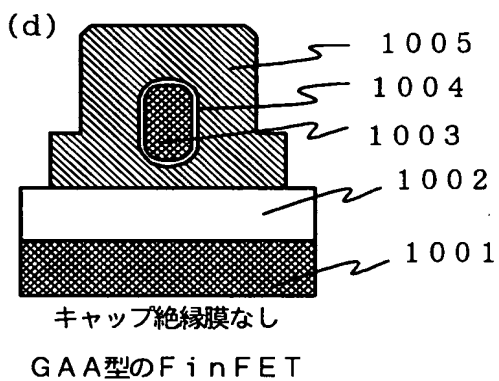
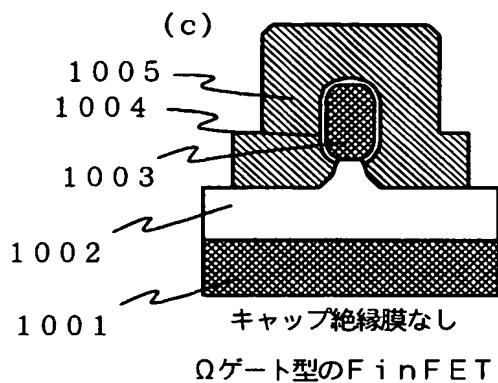
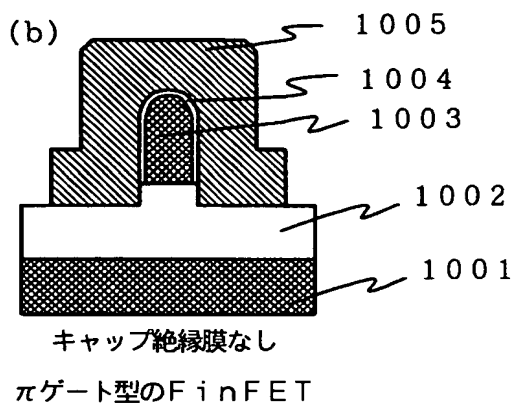
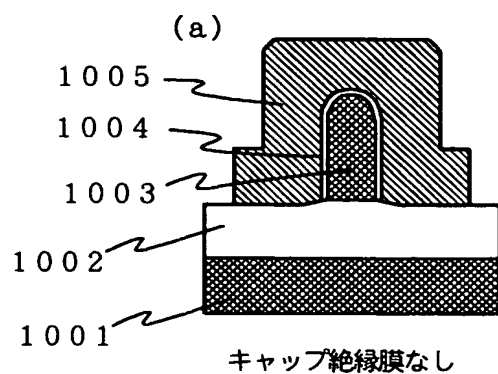
(b)



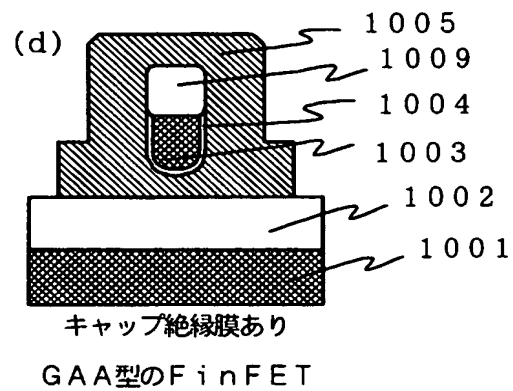
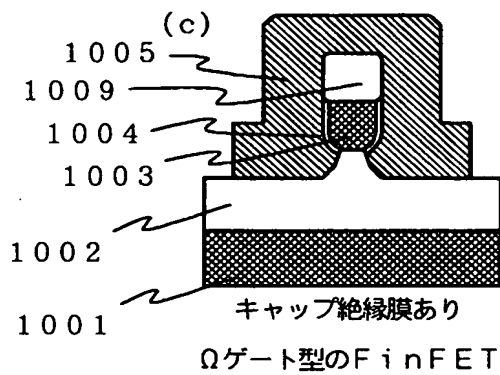
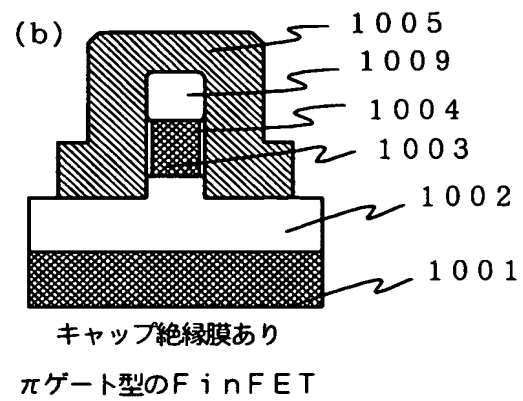
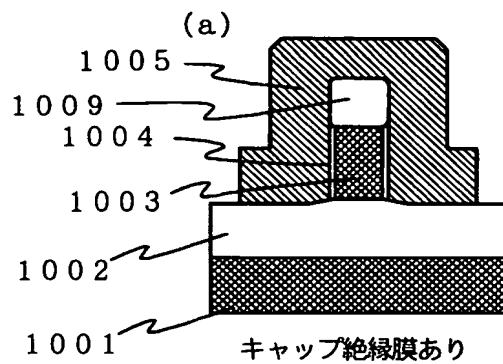
[図21]



[図22]

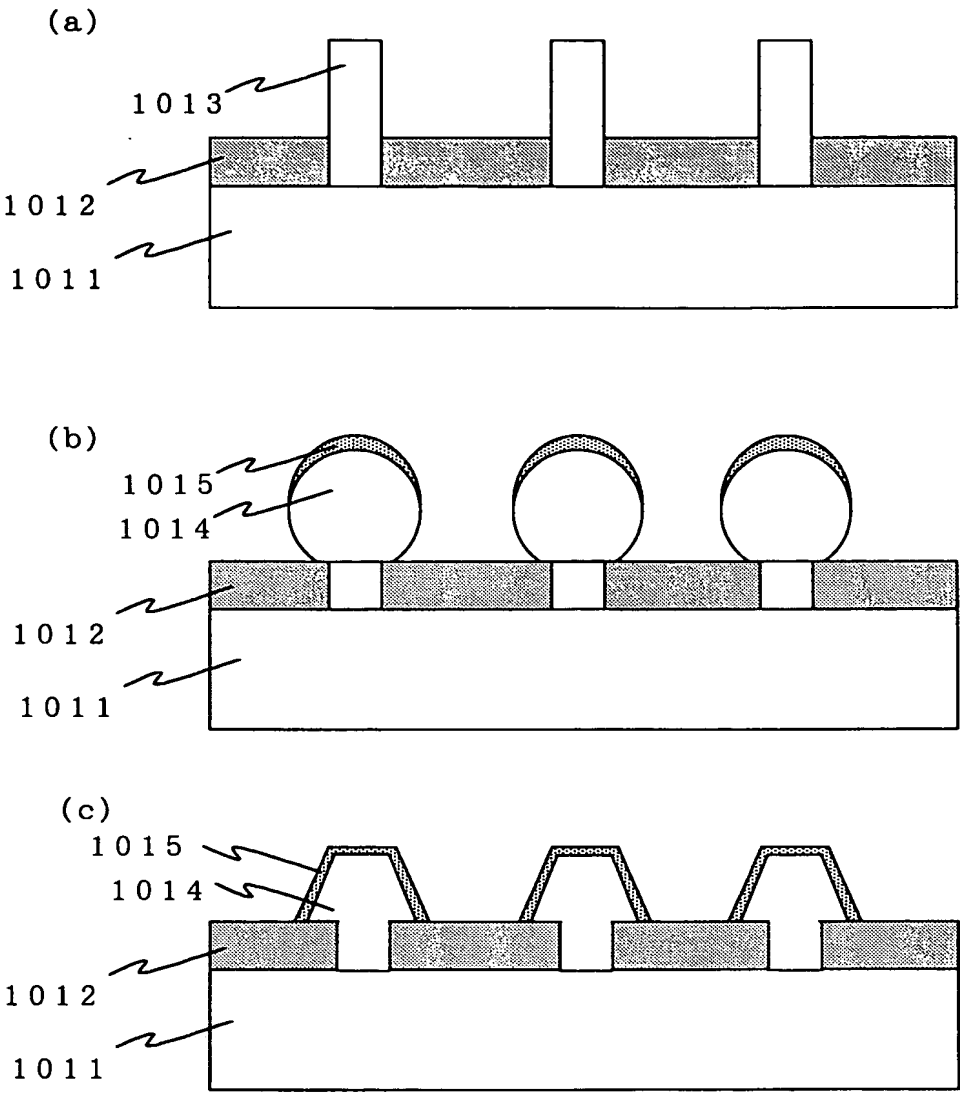


[図23]



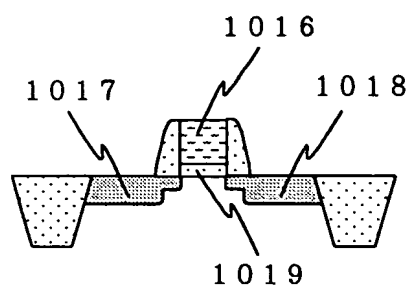
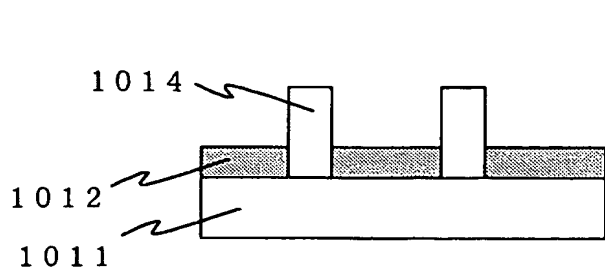


[図24]

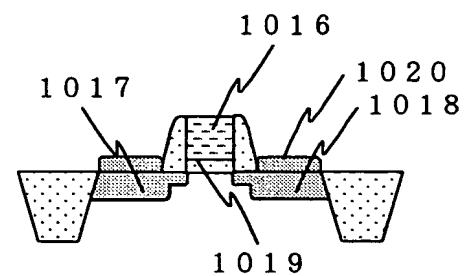
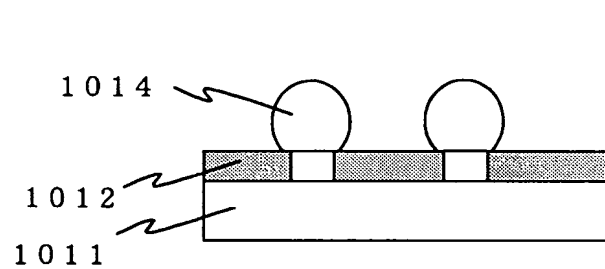


[図25]

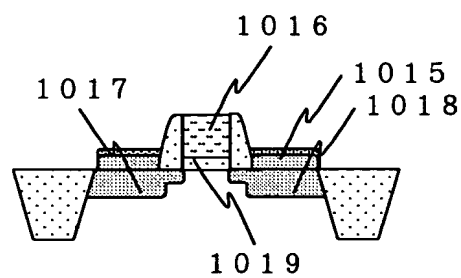
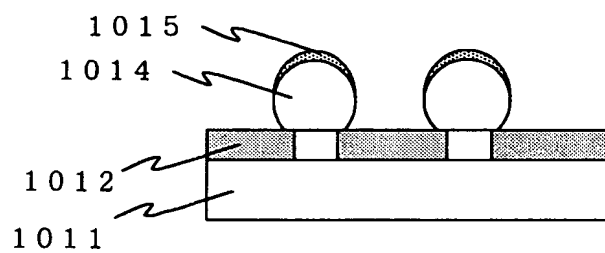
(a)



(b)



(c)



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015405

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 03-079081 A (Seiko Epson Corp.), 04 April, 1991 (04.04.91), Page 1, lower right column, line 12 to page 2, upper left column, line 14; Fig. 5 (Family: none)	1-3, 5-8, 20 4, 9-19, 21-22
Y A	JP 11-097691 A (Toshiba Corp.), 09 April, 1999 (09.04.99), Par. Nos. [0030], [0149] (Family: none)	1-3, 5-8, 20 4, 9-19, 21-22
Y A	JP 06-085256 A (Samsung Electronics Co., Ltd.), 25 March, 1994 (25.03.94), Par. Nos. [0025] to [0026]; Figs. 5 to 8 & US 5338959 A	3, 5-8, 20 4, 9-19, 21-22

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

### \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
06 January, 2005 (06.01.05)

Date of mailing of the international search report  
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/015405

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-078692 A (NEC Corp.), 22 March, 1996 (22.03.96), Full text; all drawings & EP 0700096 A2	4, 9-19, 21-22
A	JP 2003-243415 A (NEC Corp.), 29 August, 2003 (29.08.03), Full text; all drawings & WO 2003/069678 A1	4, 9-19, 21-22

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup>. H01L29/786

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup>. H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 03-079081 A (セイコーエプソン株式会社)	1-3, 5-8, 20
A	1991. 04. 04, 第1頁右下欄第12行乃至第2頁左上欄第14行, 第5図 (ファミリーなし)	4, 9-19, 21-22
Y	JP 11-097691 A (株式会社東芝)	1-3, 5-8, 20
A	1999. 04. 09, 【0030】段落, 【0149】段落 (ファミリーなし)	4, 9-19, 21-22

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

06. 01. 2005

国際調査報告の発送日

25. 1. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4L 9361

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 06-085256 A (三星電子株式会社)	3, 5-8, 20
A	1994. 03. 25, 【0025】乃至【0026】段落, 図5 乃至8 & US 5338959 A	4, 9-19, 21-22
A	JP 08-078692 A (日本電気株式会社) 1996. 03. 22, 全文, 全図 & EP 0700096 A2	4, 9-19, 21-22
A	JP 2003-243415 A (日本電気株式会社) 2003. 08. 29, 全文, 全図 & WO 2003/069678 A1	4, 9-19, 21-22